

# GNC 信息处理微系统电路设计与实现

廉运河, 吴超, 胡南中

(中国电子科技集团公司第五十八研究所 无锡 214072)

**摘要:** 随着装备信息化、轻量化程度不断提高, 导航制导控制 (Navigation Guidance and Control, GNC) 系统设计日趋复杂, 系统小型化、轻量化设计需求愈发迫切。系统级封装 (System in Package, SiP) 作为一种高密度集成封装手段, 可以将多种功能芯片封装进更小的腔体内, 实现系统高集成化、小型化。针对 GNC 系统小型化需求, 基于 SiP 技术设计了一种 GNC 信息处理微系统电路, 采用 DSP (数字信号处理器) + FPGA (现场可编程门阵列) 架构, 集成接口芯片、存储芯片, 采用成熟的陶瓷基板微系统集成技术研制, 并进行了多物理场仿真。测试结果表明: 电路功能正常, 能够满足设计要求。对比原型验证板, 该电路体积仅为 45 mm×45 mm×11 mm, 重量约 60 g, 采用该电路代替板级系统, 可有效提高产品集成度, 实现控制系统小型化的需求。

**关键词:** 系统级封装; 导航制导控制; 多物理场仿真; 小型化; 微系统; 电路

**中图分类号:** TN47 **文献标志码:** A **文章编号:** 2095-1000(2025)02-0041-07

**DOI:** 10.12347/j.ycyk.20241113001

**引用格式:** 廉运河, 吴超, 胡南中. GNC 信息处理微系统电路设计与实现[J]. 遥测遥控, 2025, 46(2): 41-47.

## Design and Implementation of GNC Information Processing Microsystem Circuit

LIAN Yunhe, WU Chao, HU Nanzhong

(China Electronics Technology Group Corporation No.58 Research Institute, Wuxi 214072, China)

**Abstract:** With the ongoing advancements in equipment informatization and lightweight design, the development of navigation guidance and control (GNC) systems faces escalating complexity, while demands for system miniaturization and weight reduction grow increasingly urgent. System-in-Package (SiP), a high-density integrated packaging technology, addresses these challenges by encapsulating multiple functional chips into compact cavities, thereby achieving enhanced integration and system miniaturization. To meet the miniaturization requirements of GNC systems, this study presents a GNC information processing microsystem circuit designed using SiP technology. The circuit employs a DSP+FPGA architecture, integrates diverse interface and memory chips, and leverages mature ceramic substrate microsystem integration techniques. Comprehensive multi-physics simulations were conducted to validate the design. Experimental results demonstrate normal circuit functionality and full compliance with design specifications. Compared to the prototype verification board, the optimized circuit exhibits dimensions of 45 mm×45 mm×11 mm and a weight of approximately 60 g. Substituting traditional board-level systems with this circuit significantly improves product integration and fulfills critical miniaturization requirements for control systems.

**Keywords:** SiP; GNC; Multi physics field simulation; Miniaturization; Microsystem; Circuit

**Citation:** LIAN Yunhe, WU Chao, HU Nanzhong. Design and Implementation of GNC Information Processing Microsystem Circuit[J]. Journal of Telemetry, Tracking and Command, 2025, 46(2): 41-47.

### 0 引言

在导航制导领域, 诸如微型飞行器、微纳卫

星、微小型精确制导等场景中, GNC 系统被广泛运用。GNC 系统由二次电源模块、信息处理模块、感知模块、舵控模块等组成。随着集成电路产业

的快速发展, 电子系统集成度越来越高, 小型化、轻量化需求越来越成为趋势<sup>[1]</sup>, 如何实现 GNC 系统小型化至关重要。

基于 SiP 技术实现芯片二维集成或三维堆叠成为新时期突破摩尔定律的重要手段<sup>[2-3]</sup>, 经过多年发展已广泛应用于军、民电子设备。伴随封装基材从陶瓷基、硅基逐渐向玻璃基及柔性基延伸, 各种基于先进封装工艺的微系统集成技术不断涌现, 如层叠封装、扇外型晶圆封装、封装堆叠、芯片堆叠等<sup>[4-7]</sup>。目前, 业界纷纷基于 SiP 技术开展相关系统小型化研究, 文献[8]通过晶圆级布线、硅通孔、封装堆叠等技术研制出晶圆级机电控制 SiP 电路, 但微组件采用的 TSV (硅通孔) 双面 RDL (重布线层) 设计工艺复杂, TSV 和裸芯 (DIE) 平铺导致整体面积较大。文献[9]采取塑料封装技术集成 DSP、FPGA 及存储芯片研制出了小型 GNC 芯片, 但受限于有机基板和密封胶传热系数, 系统满功率运行时散热困难。文献[10]针对卫星综合电子系统的微小化需求, 采用 FPGA 主控芯片研制出抗辐照通用扩展 SiP 芯片, 集成 31 个裸芯片及阻容, 裸芯片全部采用常规引线键合工艺, 集成度较低。

为了实现 GNC 系统小型化, 本文针对其中信息处理模块进行微型化设计, 基于 SiP 技术研制一种 GNC 信息处理微系统电路。电路采用陶瓷封装, 集成高性能的 DSP、FPGA、接口芯片和存储芯片, 系统通过 RS422 接口接收感知模块、舵控模块、导引头等模块或部件输出的数据信息, 完成导航、制导与控制计算等。

## 1 电路设计

### 1.1 电路整体功能

GNC 信息处理微系统电路采用 DSP+FPGA 框架, 构建高性能数字信号处理平台, 采用陶瓷基板微系统集成<sup>[11-12]</sup>, 内部集成 DSP 芯片、FPGA 芯片、接口芯片、存储芯片, 预留具有多种扩展性能的接口, 实现 GNC 的导航、控制和制导信息处理。整体功能框图如图 1 所示。

该模块 DSP 芯片负责导航制导控制信息解算, FPGA 芯片响应 DSP 芯片指令完成数据处理、扩展接口及控制。DSP 与 FPGA 通过 EMIF (External Memory Interface, 外存储器接口) 连接, 实现普通 IO (输入输出) 中断信息传送, 并通过 Rapid

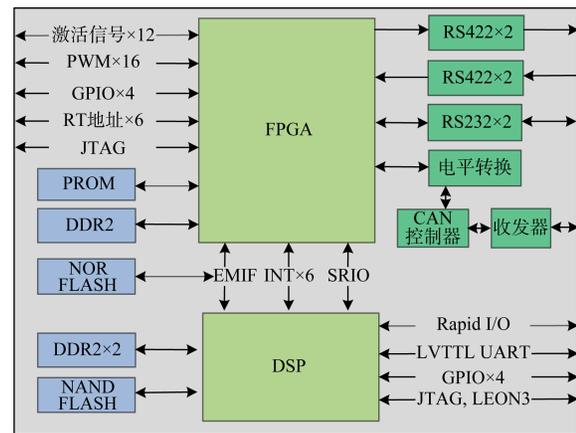


图 1 电路整体功能框图

Fig. 1 Overall functional block diagram of the circuit

IO (高速输入输出) 实现高速通信。

FPGA 通过 RS422 收发芯片实现 6 路 422 接口, 通过 RS232 收发芯片实现 3 路 RS232 接口, 通过 CAN 协议芯片和 CAN 收发芯片实现 1 路 CAN2.0B 串行总线接口, 将信号进行扇出处理, 输出若干 3.3 V TTL 电平的 IO 信号, 以实现 12 路激活控制功能, 同时生成 2 通道、每通道 8 路的互补 PWM 控制信号, FPGA 上挂载 128 Mb 的 PROM (可编程只读存储器) 实现程序烧录加载, FPGA 上挂载 2 Gb 的 DDR2 (二代双倍速率同步动态随机存储器) 用于动态数据存储。DSP 上挂载 2 Gb FLASH 实现程序烧录加载, 挂载 4 Gb DDR2 用于动态数据存储, 通过 DSP 引出 1 路 Rapid I/O 4 Lanes (通道) 接口用于外部数据交互。

### 1.2 电路关键技术

本方案电路集成 17 款芯片和若干阻容, 集成密度高, 对可靠性要求较高, 设计关键难点主要包括晶圆级封装和常规封装的协同设计、高密度陶瓷基板设计、多物理场耦合仿真、可靠性评价等问题<sup>[13-14]</sup>。

#### 1.2.1 晶圆封装和常规封装的协同设计

本方案芯片选型分为引线键合类 (Wire Bonding, WB) 和倒装焊类 (Flip Chip, FC), 由于存在封装尺寸及回流焊温度不一致导致的风险, 同时考虑减少封装面积, 将存储芯片 DDR2 与 PROM 芯片通过晶圆级再布线技术 (Redistribution Layer, RDL)、凸点制备技术由 WB 芯片统一为 FC 芯片, 从而实现封装的可靠性和面积最优化。配置芯片 PROM 采用 Fan-In (扇入) 类型, 重构后尺寸大小为 5.886 mm×6.669 mm×0.63 mm, 与原芯片大小保

持一致。DDR2经过再布线后实现三层堆叠，作为塑封微组件使用，下侧两层供DSP使用，上侧一层供FPGA使用。

### 1.2.2 高密度陶瓷基板设计

本方案中高密度陶瓷基板布线层数为29层，线路密度高，集成塑封、WB裸芯、FC裸芯和阻容混合封装工艺。正面采用FC倒装焊工艺，控制FC焊盘共面性 $\leq 30\ \mu\text{m}$ 。同时为提高集成度，系统大量集成阻容，减少外围电路设计。

### 1.2.3 微系统多物理场仿真设计

该电路尺寸较小，集成双主控芯片距离较近且均有DDR2接口电路。为避免信号串扰对系统性能的影响，需在设计阶段对SiP的信号完整性进行仿真验证。双主控满功率运行时功耗较高，受限于SiP尺寸，散热设计也是一个重要挑战。通过微系统多层级-多物理场仿真手段，开展信号完整性、热力耦合仿真分析，支撑微系统封装设计优化，提高产品设计一次成功率和整体可靠性。

### 1.2.4 微系统可靠性技术

本产品应用于空天飞行设备，空间环境要求苛刻，冲击效应突出。为剔除早期故障芯片，开展芯片中测、成测、可靠性摸底，并建立电磁、热力和极端应用环境下可靠性评价与失效分析方法，开展维纳结构、材料与界面失效分析。

## 1.3 原型验证设计

根据微系统集成需求完成架构设计。为保障一次性设计成功，设计原型验证板，用以验证电路各模块功能和引脚互联，并开展扇出引脚规划。原型验证板使用对应成品芯片搭建测试硬件系统，选择国产DSP+FPGA方案，扩展外围接口电路，两种器件相互配合，灵活性和扩展性高。

由于DSP+FPGA架构双主控制器对电源上电时序有要求，电源设计框图如图2所示，上电顺序采用1 V、1.2 V、2.5 V先上电，3.3 V和1.8 V后上电，分别给FPGA内核电压、DSP内核电压、I/O端口电压等端口供电。原型验证板布线应充分考虑高速信号阻抗要求、走线方式、电源与地平面分布，完成各项功能测试后，对扇出引脚进行规划，保障后续SiP封装设计正确性。

## 2 封装设计

由于本产品应用领域对可靠性要求较高，器件集成数量较多，内部电气互联复杂，考虑塑封

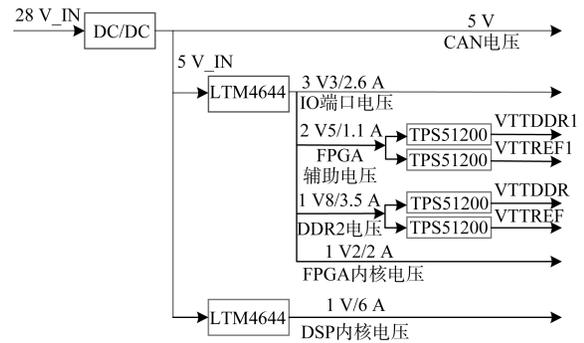
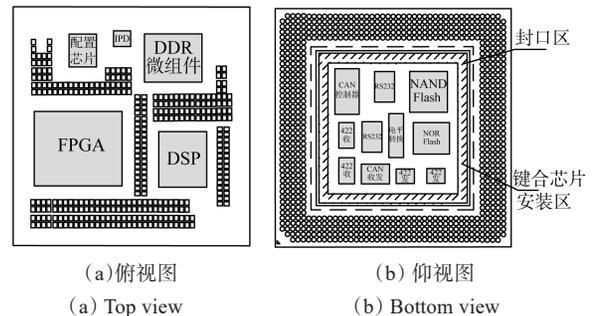


图2 电源设计框图

Fig. 2 Power supply design block diagram

层数受限、电路功耗较大以及散热需求，外壳采用HTCC（高温共烧陶瓷）双腔一体化设计，封装形式为CCGA754。陶瓷基板采用厚薄金处理，基板正面裸芯全部采用倒装焊工艺，阻容采用焊接工艺，也全部布局在正面。背面裸芯平铺全部为引线键合工艺，保证足够的键合强度。封装结构及布局示意图如图3所示，封装侧视图如图4所示。



(a) 俯视图 (b) 仰视图

(a) Top view (b) Bottom view

图3 封装结构以及布局示意图

Fig. 3 Package structure and layout diagram

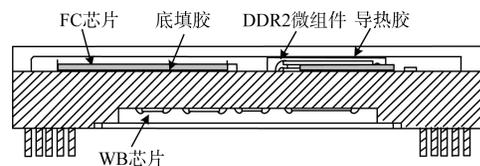


图4 封装结构侧视图

Fig. 4 Side view of packaging structure

器件内部正面集成1颗DSP芯片、1颗FPGA芯片、1颗PROM配置芯片、1颗DDR2塑封微组件、1颗IPD（集成无源器件）芯片及若干阻容，并进行芯片区域底部填充，采用导热胶贴装AISiC散热盖板；器件背面集成1颗CAN协议芯片、2颗RS232收发器芯片、1颗NOR FLASH（或非型闪存）芯片、1颗NAND FLASH（与非型闪存）存

存储器芯片、1 颗电平转换芯片、2 颗 RS422 发送器芯片、2 颗 RS422 接收器芯片和 1 颗 CAN 收发器芯片, 所有芯片平铺, 采用导电胶粘接装片, 背面金锡合金熔封。

为充分减小封装面积, SiP 内部 PROM 配置芯片经过 RDL 工艺转成 FC 芯片, 3 款 DDR2 芯片经 RDL 实现 PAD (焊盘) 重新布局, 再采用引线上线体 (Film on Wire, FOW) 工艺实现 3 层三维堆叠, 以引线键合方式连接到基板上。

封装加工时为防止器件上腔电路芯片与阻容重熔, 封装工艺首先完成电路下腔体 WB 芯片贴装固化、键合、封帽, 再进行上腔 FC 芯片倒装焊及阻容的回流焊接, 最后进行底部填充与组装。封装尺寸为 45 mm×45 mm×11 mm, 预估总重量不大于 60 g。

### 3 仿真分析

系统级封装集成度高, 各模块紧密耦合带来的信号串扰、腔体效应、自热效应等可靠性问题时有发生<sup>[15-16]</sup>。本电路采用陶瓷基板封装实现多芯片集成, 各芯片电气互联关系复杂。为提高封装设计可靠性, 基于现有的工具及模型, 对电路进行多物理场仿真。

#### 3.1 信号完整性仿真

对关键高速信号进行信号完整性仿真, 信号类型有 FPGA 到 DDR2 信号、DSP 到 FPGA 信号、DSP 到 DDR 信号, 经过多次迭代优化后, 信号质量能够符合 JEDEC (固态技术协会) 标准。图 5 为 FPGA 到 DDR2 数据线 DQ (数据位线) 信号眼图, 满足 DDR2 单端信号的判决标准:  $V_{IH}(ac)_{min}=1.1\text{ V}$ 、 $V_{IH}(dc)_{min}=1.025\text{ V}$ 、 $V_{REF}=0.9\text{ V}$ 、 $V_{IL}(dc)_{max}=0.775\text{ V}$ 、 $V_{IL}(ac)_{max}=0.7\text{ V}$ 。

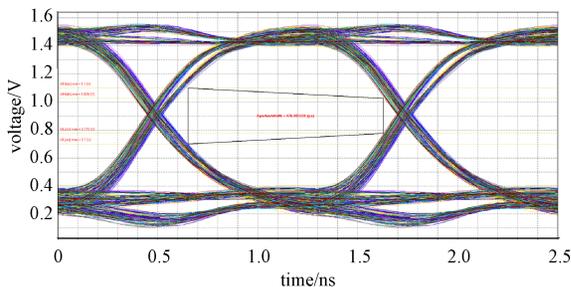


图 5 DDR2 数据线仿真眼图  
Fig. 5 DDR2 data line simulation eye diagram

#### 3.2 热力学仿真

仿真工具为 ANSYS Icepak, 采用 JEDEC 电子机箱对信号处理 SiP 模型进行自然散热模拟, 整体模型采用双腔结构, 仿真模型包括陶瓷基板、焊柱、PCB (印制电路板)、Molding 胶 (模塑胶) 及 13 个芯片, 设置芯片功耗参数, 组件相关材料参数如表 1 所示。在环境温度为 -40 °C、25 °C、60 °C 建立热模型以及应力模型。

表 1 仿真模型材料参数

Table 1	Material parameters of simulation model		
组件	材料	密度 kg/m <sup>3</sup>	热导率 W/(m·°C)
裸芯片	Si	2 340	150
陶瓷基板	Al <sub>2</sub> O <sub>3</sub>	3 800	20
焊柱	Sn <sub>10</sub> Pb <sub>90</sub>	8 400	50
导热胶	Tim	1 550	1.92
上盖板	AlSiC	3 100	200
下盖板	Kovar	8 100	17
散热片	Cu	8 900	390

当环境温度为 60 °C 时, 对 SiP 电路采用强迫对流进行散热, 风速为 1 m/s, 图 6 为电路芯片温度云图, 电路内部芯片最高温度出现在下腔体 U26 芯片的 RS422 发送芯片上, 最高温度为 126.5 °C。已知硅芯片的失效温度为 175 °C (考虑仿真误差, 将结温控制在 160 °C 以内), 仿真结果表明: 在环境温度 -40 °C~60 °C 时, 硅芯片最高结温在 160 °C 以内, 不会引起芯片失效。

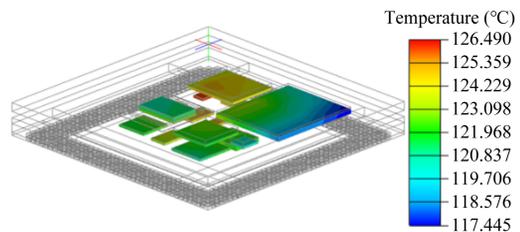


图 6 60 °C 时芯片温度云图  
Fig. 6 Chip temperature cloud map at 60 °C

在环境温度为 60 °C 时, 电路等效应力云图见图 7 所示, 系统的最大等效应力为 385 MPa, 芯片最大应力值出现在 U14 芯片的 NOR FLASH 裸芯上, 最大应力值为 88 MPa, 小于硅芯片的屈服强度 (100 MPa), 不会引起芯片失效。

环境温度为 -40 °C、25 °C、60 °C 时, 通过热仿真与应力仿真, 系统最大应力、芯片最大应力、

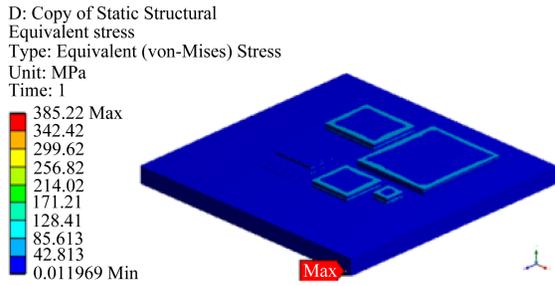


图7 60 °C芯片等效应力云图

Fig. 7 Chip equivalent stress cloud map at 60 °C

芯片最高温度值如表2所示。在-40 °C~60 °C的温度范围内，系统和芯片的最大应力值皆小于相应材料的屈服强度，芯片最高结温在160 °C以内，均不会引起芯片失效，确保SiP能正常运行。

表2 应力数据对比

Table 2 Comparison of stress data

方案	环境 温度/°C	芯片最高 温度值	系统最大 应力值/ MPa	芯片最大 应力值/ MPa
CCGA 封装	-40 °C	77.5 °C	375	85.7
	25 °C	129.4 °C	30.4	7
	60 °C	126.5 °C	385	88

## 4 测试与验证

### 4.1 三级测试

为提升微系统产品良率，针对电路建立三级测试流程：裸芯/圆片测试、组装过程测试、系统测试。

裸芯/圆片测试是指集成在电路内部的所有芯片，通过交直流参数测试和功能测试后方可直接使用，测试覆盖率和互连测试覆盖率应达到100%。在组装过程测试中，需对PROM芯片和DDR芯片进行再布线，之后开展芯片测试工作，测试扇出引脚的互联互通断情况以及关键指标。同时，对DDR2芯片堆叠后的微组件进行测试，确保DDR2微组件的成品测试结果符合电路规范，满足可靠性摸底要求。

在原型样机基础上，将SiP电路提取出来，在板级安装测试插座，对电路进行系统测试，验证电路基本功能与可靠性。在实装测试板设计时，供电电路参考原型验证设计。由于该款信息处理微系统电路结构较复杂，系统测试设计时考虑采用XC7Z045作为测试主控单元，配置1 GB DDR3

并外挂1片64 MB NOR FLASH，给内部ARM存储代码和FPGA配置文件，图8为SiP实装测试系统框图。

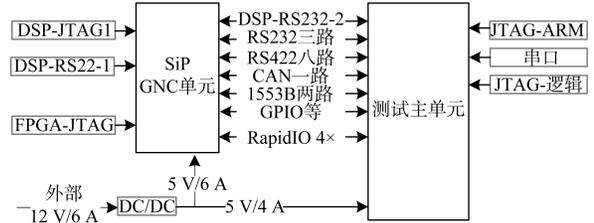


图8 实装测试系统

Fig. 8 Actual testing system

接口类测试主单元发送测试码流给SiP电路，DSP收到后再发回。GPIO（通用输入输出）类测试时两侧默认输入，开始测试后主单元改为输出并发测试码流，然后恢复为输入。SiP侧收到后切换为输出再发送回，发完后SiP侧恢复为输入。实装测试板如图9所示，测试插座放置待测GNC信息模块。

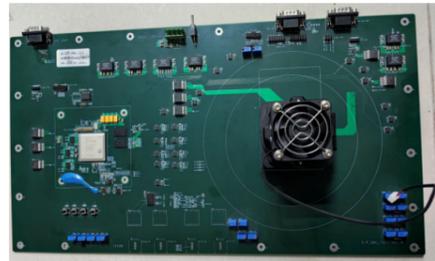


图9 SiP实装测试板

Fig. 9 SiP practical testing board

### 4.2 测试结果

通过SiP技术实现GNC信息处理微系统电路，电路尺寸大小为45 mm×45 mm×11 mm，重量约60 g。

对电路进行实装测试，完成电路性能以及可靠性评价，测试软件功能主要包括对DSP定点/浮点峰值性能、DDR接口、EMIF（外部存储器）接口、SRIO（高速串行输入输出）接口、RS232接口、RS422接口、GPIO接口、JTAG（联合测试行动小组）接口、CAN总线以及配置芯片的测试，所有功能的测试通过实装测试系统实现，并进行三温（-40 °C、25 °C、60 °C）摸底测试。

该电路研制5颗样品，对照测试细则进行各功能项完整测试，5颗样品满足所有功能要求，测试

主单元电路 XC7Z045 在 SRIO 进行 3.125 Gbps 通信时, 计算电路功耗为 14.12 W, 满足功耗要求, 具体测试结果如表 3 所示。

表 3 测试结果  
Table 3 Test results

序号	功能项	测试结果	指标符合性
1	DSP 定点峰值性能	16.02 GIPS	符合要求
2	DSP 浮点峰值性能	12.51 GFLPOS	符合要求
3	DSP DDR2 接口	400 Mbps	符合要求
4	FPGA DDR2 接口	400 Mbps	符合要求
5	EMIF 接口	通信正常	符合要求
6	一路 SRIO×4 接口	3.125 Gbps	符合要求
7	232 接口	9 600~230 400 bps	符合要求
8	422 接口	9 600~230 400 bps	符合要求
9	GPIO 口	功能正常	符合要求
10	DSP JTAG 接口	功能正常	符合要求
11	CAN 总线	功能正常	符合要求
12	配置芯片	功能正常	符合要求

## 5 结束语

本文设计的 GNC 信息处理微系统电路采用 DSP+FPGA 架构, 以高密度 HTCC 陶瓷基板为载体, 采用塑封、陶封、晶圆级封装混合工艺, 集成多种接口电路, 并经过多物理场仿真优化实现, 系统功能集成及可扩展性显著提高, 是 GNC 控制系统小型化的一种创新尝试。该电路可应用于数据采集、信号处理、控制算法等方向, 在集成度、小型化要求较高的航天电子系统中具有广阔的应用场景。

### 参考文献

- [1] 杨卫平. 新一代飞行器导航制导与控制技术发展趋势[J]. 航空学报, 2024, 45(5): 529720.  
YANG W P. Development trend of navigation guidance and control technology for new generation aircraft[J]. Acta Aeronautica ET Astronautica Sinica, 2024, 45(5): 529720.
- [2] 李扬. 基于 SiP 技术的微系统[M]. 北京: 电子工业出版社, 2021.
- [3] 王梦雅, 丁涛杰, 顾林, 等. 面向信息处理应用的异构集成微系统综述[J]. 电子与封装, 2021, 21(10): 100102.  
WANG Mengya, DING Taojie, GU Lin, et al. Overview of heterogeneous integration microsystem for information processing applications[J]. Electronics and Packaging, 2021, 21(10): 100102
- [4] 单光宝, 朱嘉婧, 郑彦文, 等. 微系统集成技术发展与展望[J]. 导航与控制, 2022, 21(3): 20-28.  
SHAN Guangbao, ZHU Jiajing, ZHENG Yanwen, et al. Recent development and perspectives of microsystem integration technology[J]. Navigation and Control, 2022, 21(3): 20-28.
- [5] SHAN Guangbao, WANG Guodong, LU Qijun, et al. A 3D heterogeneously integrated guidance, navigation, and control micro-system[J]. Japanese Journal of Applied Physics, 2019, 58(SH): SHCB01.1-SHCB01.3.
- [6] 程瑞楚, 柴波, 郭刚强. 一种适用于 POP 工艺 GNC 模块的测试系统设计[J]. 计算机测量与控制, 2022, 30(7): 35-40, 90.  
CHENG Ruichu, CHAI Bo, GUO Gangqiang. Design of test system for the GNC module base on POP process[J]. Computer Measurement & Control, 2022, 30(7): 35-40, 90.
- [7] LIN M S, HUANG T C, TSAI C C, et al. A 7 nm 4 GHz arm-core-based CoWoS1 chiplet design for high-performance computing[J]. IEEE Journal of Solid-State Circuits, 2020, 55(4): 956-966.
- [8] 李居强, 廉运河, 王梦雅, 等. 晶圆级机电控制 SiP 技术研究[J]. 导航与控制, 2022, 21(3): 78-84, 28.  
LI Juqiang, LIAN Yunhe, WANG Mengya, et al. Research on Wafer level electromechanical control SiP technology[J]. Navigation and Control, 2022, 21(3): 78-84, 28.
- [9] 吴美平, 唐康华, 任彦超, 等. 基于 SiP 的低成本微小型 GNC 系统技术[J]. 导航定位与授时, 2021, 8(6): 19-27.  
WU Meiping, TANG Kanghua, REN Yanchao, et al. Low-cost micro navigation guidance and control system technology based on SiP[J]. Navigation Positioning & Timing, 2021, 8(6): 19-27.
- [10] 毛臻, 程利甫, 蒋长顺, 等. 抗辐照通用扩展 SiP 芯片设计[J]. 遥测遥控, 2021, 42(5): 121-126.  
MAO Zhen, CHENG Lifu, JIANG Changshun, et al. Radiation-resistant universal and extensible chip based on SiP[J]. Journal of Telemetry, Tracking and Command, 2021, 42(5): 121-126.
- [11] 许文运, 何劲驰, 孙晓冬, 等. 基于 SiP 技术的导航微系统电路设计与实现[J]. 导航与控制, 2023, 22(4): 99-105.  
XU Wenyun, HE Jinchu, SUN Xiaodong, et al. Circuit design and implementation of navigation microsystem based on SiP technology[J]. Navigation and Control, 2023, 22(4): 99-105.
- [12] 王庆贺, 黎蕾, 郑利华, 等. SiP 芯片测试系统的设计[J]. 电子设计工程, 2024, 32(3): 143-147.

- WANG Qinghe, LI Lei, ZHENG Lihua, et al. Design of SiP chip test system[J]. Electronic Design Engineering, 2024, 32(3): 143-147.
- [13] 周斌, 陈思, 王宏跃, 等. 异质异构微系统集成可靠性技术综述[J]. 电子与封装, 2021, 21(10): 111-119.  
ZHOU Bin, CHEN Si, WANG Hongyue, et al. Renew on reliability of heterogeneous integrated microsystem technology[J]. Electronics and Packaging, 2021, 21(10): 111-119.
- [14] 伍天翔, 李军辉. GNC芯片封装的热电耦合可靠性分析[J]. 导航与控制, 2022, 21(3): 166-173.  
WU Tianxiang, LI Junhui. Thermoelectric coupling reliability analysis of GNC chip package[J]. Navigation and Control, 2022, 21(3): 166-173.
- [15] 曾燕萍, 张景辉, 王梦雅, 等. DDR3堆叠键合组件的信号完整性分析与优化[J]. 电子与封装, 2020, 20(12): 5-9.  
ZENG Yanping, ZHANG Jinghui, WANG Mengya, et al. Signal integrity analysis and optimization of DDR3 stacked bonding module[J]. Electronics and Packaging, 2020, 20(12): 5-9.
- [16] 张鹏, 孙晓冬, 朱家和, 等. 集成微系统多物理场耦合效应仿真关键技术综述[J]. 电子与封装, 2021, 21(10): 41-53.  
ZHANG Peng, SUN Xiaodong, ZHU Jiahe, et al. Review on multiphysics coupling simulation progresses in integrated microsystem[J]. Electronics and Packaging, 2021, 21(10): 41-53.

#### [作者简介]

- 廉运河 1986年生, 硕士, 工程师。  
吴超 1990年生, 硕士, 工程师。  
胡南中 1981年生, 本科, 高级工程师。

(本文编辑: 傅杰)