

基于 FPGA 架构的高可靠在轨重构系统设计

丁 琳¹, 薛小龙², 冯忠伟¹, 黄喜元¹

(1 北京宇航系统工程研究所 北京 100076;

2 北京遥测技术研究所 北京 100076)

摘要: 航天设备与地面设备相比, 制造成本高, 对空间环境的适应性要求也高。为了延长航天器寿命, 提高其在轨工作的可靠性, 需要考虑航天器在空间环境下的可维护性需求。针对航天资产在轨软件实现功能维护的需求, 研究空间环境应用背景下的高可靠在轨可重构技术。基于 FPGA 芯片在航天器领域中应用的广泛性、灵活性及可靠性, 设计了一种 FPGA 架构下的高可靠在轨重构系统。该系统的优势在于充分利用星载设备中普遍使用的“SRAM 型 FPGA+反熔丝 FPGA”的硬件架构, 在实现 SRAM 型 FPGA 动态刷新功能的基础上仅通过软件更改来增加在轨重构功能, 极大降低了硬件更改的成本, 扩展了可重构功能的应用范围。在某航天器星载设备中应用该在轨重构系统, 通过实际飞行经历, 验证了该架构系统设计方案的可行性、可扩展性及可靠性。

关键词: 高可靠性; 软件在轨可重构; FPGA 架构

中图分类号: V44; TN492 文献标志码: A 文章编号: 2095-1000(2023)06-0029-06

DOI: 10.12347/j.ycyk.20230810001

引用格式: 丁琳, 薛小龙, 冯忠伟, 等. 基于 FPGA 架构的高可靠在轨重构系统设计[J]. 遥测遥控, 2023, 44(6): 29-34.

Highly reliable on-orbit reconfiguration system based on FPGA architecture

DING Lin¹, XUE Xiaolong², FENG Zhongwei¹, HUANG Xiyuan¹

(1. Beijing Institute of Astronautical Systems Engineering, Beijing 100076, China;

2. Beijing Research Institute of Telemetry, Beijing 100076, China)

Abstract: The difference between equipment on-orbit and equipment on-earth is that the manufacturing cost is high, and the adaptability requirements for the space environment are high. In order to extend the life of the spacecraft and improve the reliability of the on-orbit equipment, it is necessary to consider the maintainability needs of the spacecraft. Aiming at the requirements of on-orbit software and functional maintenance of space systems, this paper focuses on space highly reliable on-orbit reconfiguration technology under the background of space environment application. Based on the extensiveness, flexibility and reliability of FPGA in spacecraft applications, a highly reliable on-orbit reconfiguration system based on FPGA architecture is designed. The advantage of the architecture is that it makes full use of the hardware architecture of "SRAM FPGA+antifuse FPGA" commonly used in equipment on-orbit, and only adds the on-orbit reconfigurable function through software changes on the basis of realizing the SRAM FPGA dynamic refresh function, which greatly reduces the cost of hardware change and expands the application of reconfigurable function. This paper gives a specific scheme of one spacecraft project, which verifies the feasibility, scalability and reliability.

Keywords: High reliability; On-orbit reconfiguration system; FPGA architecture

Citation: DING Lin, XUE Xiaolong, FENG Zhongwei, et al. Highly reliable on-orbit reconfiguration system based on FPGA architecture [J]. Journal of Telemetry, Tracking and Command, 2023, 44(6): 29-34.

引 言

近年来, 我国持续推进空间智能维护技术应用领域的项目研究。由于航天器在轨时间长、发射后不可逆、价值昂贵、维修困难、对在轨设备

可靠性要求高等特点, 航天器需满足在轨可重构的维护需求。如果在轨设备可以进行在轨维修和在轨升级, 使空间系统可在轨重构, 那么既能降低经济损失, 又能增加空间基础设施弹性^[1]。航天器发射后, 在轨设备的硬件承载介质无法改变,

而软件在满足硬件环境的基础上，可以根据地面需求灵活进行可适应性升级重构。因此，越来越多的航天器在满足在轨可重构的需求上，对软件提出了可维修性的要求。一方面，由于测试不充分导致在轨阶段才暴露出在轨软件的某些设计缺陷或程序错误，可以通过软件在轨重构功能进行纠正^[2, 3]；另一方面，在航天器发射后，由于空间环境造成的内存数据错误或引发的软件对在轨运行环境不适应的情况，可以通过在轨重构功能对软件进行调整；最后，航天器在轨运行期间，可通过在轨重构功能对软件的部分已有功能进行改进，也能增加部分新功能。在地面应用系统中软件的升级重构容易实现，但对于空间环境恶劣、资源有限、可靠性安全性要求高、寿命长等特殊的空间应用工程要求，需要分析在轨软硬件实现的可行性及各系统兼容性，采取可靠性保护措施，确保在增加软件设计灵活性的同时保证系统工作的可靠性^[4]。目前，航天器在轨设备普遍使用现场可编程门阵列 FPGA 实现软件的功能需求，SRAM 型 FPGA 的可重复编程特性为航天器的功能设计提供了极大的灵活性，反熔丝 FPGA 由于其辐射高耐受的特性广泛应用于 SRAM 型 FPGA 的配置、动态刷新功能^[5]。本文重点研究 FPGA 架构下的航天器系统如何高可靠地实现在轨重构功能。

1 在轨可重构系统的构成

在轨可重构系统在不改变在轨设备硬件架构的基础上，首先由地面站系统通过测控上行链路发送配置数据，由航天器设备终端接收配置数据并回传配置状态信息，然后对配置数据进行存储，根据地面需求及配置指令加载配置程序，实现航天器的软件在轨重构功能。在轨可重构系统具备对地面重构数据的接收、解析、存储、分发、配置加载、处理等功能^[6-8]。

在轨可重构系统由三大功能模块构成，分别为控制处理单元、主处理单元和从处理单元，如图 1 所示。在轨可重构系统具有模块功能明确、重构模块可扩展、通用性较强的优点。

在轨可重构系统各模块实现功能如下：

① 控制处理单元

作为在轨可重构系统的控制中心，负责接收由地面站系统发送的上行配置数据及配置指令，按照通信协议对配置数据及配置指令进行解析校

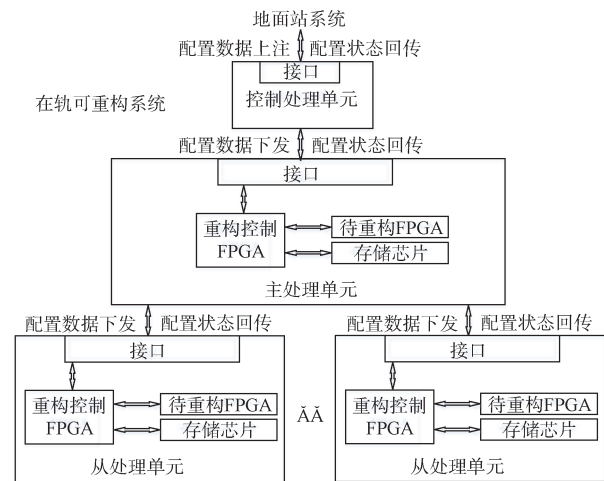


图 1 在轨可重构系统构成
Fig. 1 Composition of on-orbit reconfigurable system

验，校验通过后向下发送给主处理单元，对系统中的各模块进行管理和监控，接收各模块反馈的配置状态信息并向地面站系统回传。

② 主处理单元

主处理单元主要由 FPGA、存储芯片等器件构成。作为在轨可重构系统的接口模块，负责接收由控制处理单元发送的配置数据或配置指令，按照模块间通信协议对接收到的数据进行校验。主处理单元本身具备重构功能，接收配置数据后根据协议确定配置数据向下分发至相应的从处理单元或存储在本模块的存储芯片中。接收到本模块配置指令后，执行配置加载，重构主处理单元的功能。主处理单元完成配置加载后，向控制管理单元回传相应的配置成功状态。主处理单元接收到从处理单元的配置加载信息后，向控制处理单元回传。

③ 从处理单元

从处理单元主要由 FPGA、存储芯片等器件构成。作为在轨可重构系统的终端，负责接收主处理单元下发的配置数据，按照模块间通信协议对接收到的数据进行校验，校验通过后存储至本模块的存储芯片中。接收到配置指令后对从处理单元的待重构 FPGA 进行配置加载，对从处理单元实现的功能进行重构。从处理单元完成配置加载后，向主处理单元回传相应的配置成功状态信息。

可重构单元的基本结构如图 2 所示，由两片 FPGA 和存储配置数据的存储芯片组成。其中，待

重构FPGA一般采用SRAM型FPGA,用于航天器的各种功能实现,是实施在轨重构的对象。重构控制FPGA采用反熔丝FPGA实现,用于为SRAM型FPGA提供配置加载服务。

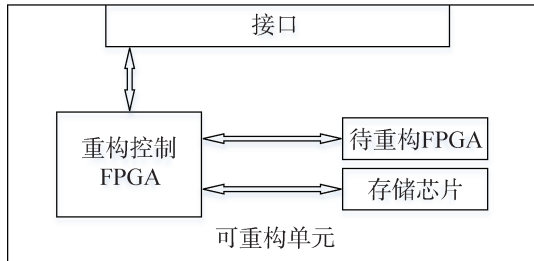


图2 可重构单元的基本结构

Fig. 2 Basic structure of reconfigurable unit

重构控制FPGA通过模块间接口接收配置数据,校验通过后将接收到的配置数据存储于存储芯片中。重构控制FPGA通过模块间接口接收到重构指令后,读取存储芯片中相应的配置数据,对SRAM型FPGA进行功能重构,配置完成后,检测SRAM型FPGA的配置结果,并将配置状态返回给上级模块。配置成功后,在轨功能更改需求实现^[9,10]。

2 在轨重构系统的可靠性

在航天器系统中,由于在轨维护难度大、空间环境恶劣、资源受限等原因,需考虑在轨重构的可靠性,包括重构控制的可靠性和重构数据存储的可靠性。

2.1 重构控制的可靠性

目前,航天器上SRAM型FPGA的单粒子防护一般采用“三模冗余+动态刷新”的方式实现,其中动态刷新功能一般由反熔丝FPGA或专用的配置刷新芯片来实现。由反熔丝FPGA实现在轨重构功能可以充分复用现有的硬件结构,并且反熔丝FPGA对空间辐射不敏感,可以保证在轨重构控制工作的可靠性。

2.2 重构数据存储的可靠性

重构数据存储在非易失存储器中,如FLASH、MRAM等类型的存储芯片,需采用高等级且具备一定抗辐照等级的器件。由于空间单粒子翻转效应,存储数据存在一定的翻转错误概率,因此需要采取数据容错措施。常用的措施有纠错编译码和三模冗余等^[11]。纠错编译码设计可采用RS编译

码或EDAC校验码^[12]。在存储重构数据时采用纠错编译码,虽然会牺牲存储空间达到存储数据检纠错的目的,但可以最大程度地保证重构数据存储的正确性不受空间单粒子效应的影响。三模冗余设计是利用三处物理位置存储同一份重构数据,在进行配置时,读取三份重构数据,进行三取二表决,将表决后的数据对FPGA进行加载配置^[13-16]。三份重构数据可以并行存储于三片存储芯片中,也可以串行存储于同一芯片的三个不同物理位置处。第一种存储方式的优势是并行存取效率较高,但需要在硬件设计时布局三个存储芯片;第二种存储方式存取效率低,但节省硬件空间及成本。

3 在轨重构系统的应用

某航天器星载设备在轨重构系统的功能框图如图3所示,在轨重构系统集成在任务管理模块、高性能路由模块及数据处理模块中。该在轨可重构系统具备可扩展、高可靠性等特点。

该航天器在轨重构控制处理单元由任务管理FPGA的内嵌CPU软核实现。任务管理FPGA属于SRAM型FPGA,能够嵌入CPU软核,CPU软核开发过程灵活,能够与外围的FPGA逻辑进行灵活的信息交互,可以替代DSP或CPU等微处理器执行核心的软件控制功能^[17]。任务管理模块为在轨可重构主处理单元,由任务管理FPGA(SRAM型FPGA)、反熔丝FPGA和NOR FLASH芯片构成。高性能路由模块、数据处理模块等为在轨重构从处理单元,由SRAM型FPGA、反熔丝FPGA和NOR FLASH芯片构成^[18]。RS 422总线实现重构数据及重构指令的接收,内部RS 485总线实现主处理单元和从处理单元的数据及指令交互。对于任务管理主处理单元,通过RS 422总线接收重构数据并校验完成后,通过任务管理模块的反熔丝FPGA写入NOR FLASH芯片中。任务管理模块通过RS 485总线与路由模块、数据处理模块传输上注重构数据、重构指令并返回遥测信息。对于从处理单元,将重构数据经RS 485总线发送到指定模块,由目标模块中的反熔丝FPGA接收并写入NOR FLASH芯片中。

主、从处理单元中的反熔丝FPGA实现的功能是相同的,功能框图如图3所示。本型号采用ACTEL FPGA实现反熔丝FPGA的功能,ACTEL

FPGA 对单粒子翻转具有免疫功能，可以保证重构数据接收、处理的可靠性。ACTEL FPGA 将重构数据复制三份，经编码、缓存后分别写入 NOR FLASH 的三块地址中。上电或接收到重加载指令后，ACTEL FPGA 会分别从三块地址中读取重构数据，经缓存、解码、三取二判别后写入 SRAM

型 FPGA 的配置管脚中对其进行重构^[19,20]。该航天器采用的编译码方式为 EDAC 扩展汉明码，采用 (8, 4) 码字，在纠 1 bit 错误的同时能检测 2 bit 错误，可以解决航天器上存储芯片因单粒子翻转效应导致的单比特误码错误，最大程度地保证重构数据存储的可靠性。

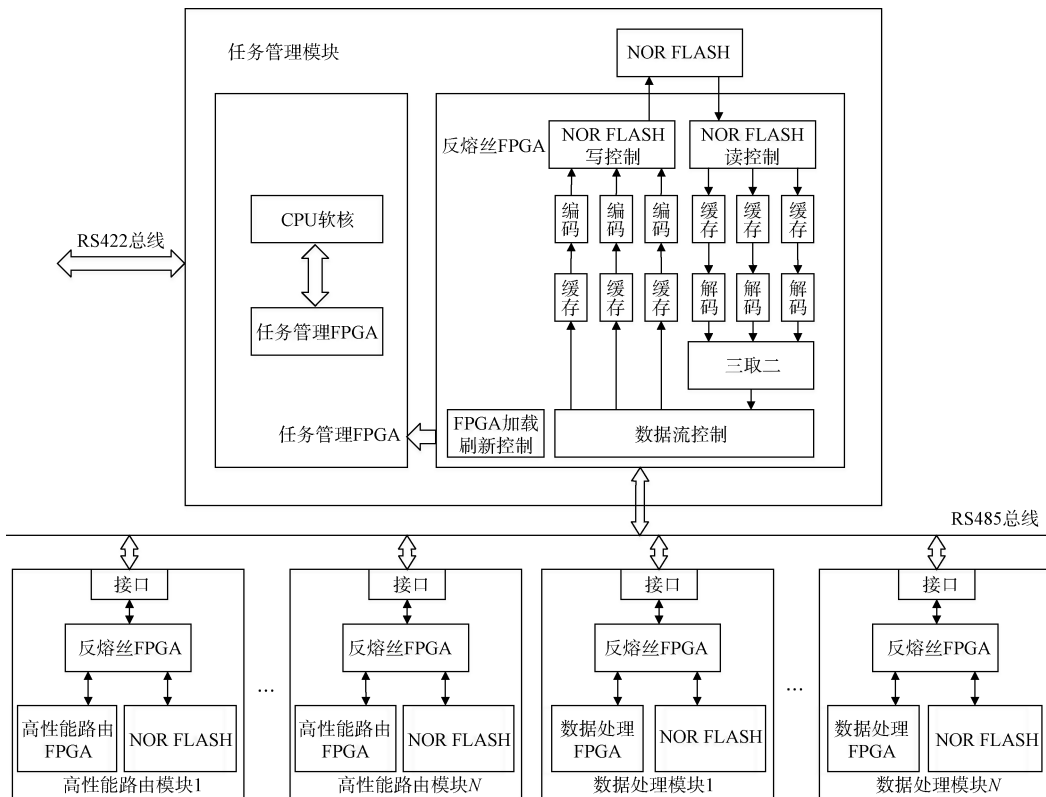


图 3 某航天器在轨重构系统功能框图

Fig. 3 Block diagram of an on-orbit reconfiguration system of a spacecraft

在轨实施重构过程如下：

- ① 根据在轨任务升级需求或在轨发现的故障隐患，对 SRAM 型 FPGA 逻辑重新进行设计，并在地面进行测试验证；
- ② 将升级后的可执行程序转换成上注配置数据的格式；
- ③ 向航天器发送重构指令及重构数据，重构指令指定需要升级的目标模块地址；
- ④ 航天器设备通过 RS 422 总线接收重构指令及重构数据，并通过内部总线将相应的数据传递给目标模块，目标模块中的反熔丝 FPGA 对重构数据进行接收、解析、校验，并存储到相应的 NOR FLASH 芯片中，重构数据存储时采用 EDAC 扩展汉明码及三模冗余的方式保证数据的可靠性；

- ⑤ 停止目标模块 SRAM 型 FPGA 的工作，启动配置模式，将重构数据加载至目标 FPGA，重构完成后通过内部总线返回配置成功遥测信息。

4 结束语

本文主要研究基于 FPGA 架构的空间高可靠性在轨可重构系统技术，验证了基于 FPGA 架构的在轨可重构系统的可行性、可扩展性、可靠性等特点。该技术的应用，极大提高了航天器工作的可靠性及功能应用的灵活性，扩展了业务处理能力，提升了新技术发展需求的适应性，为实现航天资产在轨应用可维护、可扩展、在轨功能可重构奠定基础。

参考文献

- [1] 王雪瑶. 国外在轨服务系统最新发展[J]. 国际太空, 2017(10): 65-69.
- [2] 李亚辉, 陆钊. 星载控制软件在轨动态重构技术研究[J]. 遥测遥控, 2023, 44(3): 24-30.
LI Yahui, LU Fan. Research on on-orbit dynamic reconstruction technology of on-board control software[J]. Journal of Telemetry, Tracking and Command, 2023, 44(3): 24-30.
- [3] 胡萍, 刘世佳, 马宏业. 基于1553B总线的星载嵌入式软件在轨升级方法[J]. 遥测遥控, 2022, 43(1): 66-69.
HU Ping, LIU Shijia, MA Hongye. Method of embedded onboard software upgrading based on 1553 Bus[J]. Journal of Telemetry, Tracking and Command, 2022, 43(1): 66-69.
- [4] 庞波, 郝维宁, 张文峰, 等. 一种SRAM-FPGA在轨重构的工程实现方案[J]. 航天器工程, 2017, 26(5): 51-56.
PANG Bo, HAO Weining, ZHANG Wenfeng, et al. Scheme of SRAM-FPGA on-orbit reconfiguration[J]. Spacecraft Engineering, 2017, 26(5): 51-56.
- [5] EWERSON C, NEY C, EDUARDO B. PaDRReH-A framework for the design and implementation of dynamically and partially reconfigurable systems[C]// IEEE Symposium on Integrated Circuits and Systems Design, 2004: 10-15.
- [6] 王占强, 翟盛华. 星载处理设备软件在轨重构技术研究[J]. 空间电子技术, 2013, 10(1): 7-13,43.
WANG Zhanqiang, ZHAI Shenghua. Research on software on-orbit reconfiguration of space-borne processing equipment[J]. Space Electronic Technology, 2013, 10(1): 7-13,43.
- [7] 袁素春, 璩泽旭, 邵应昭. 一种低成本高可靠FPGA在轨可重构加载管理方案[J]. 空间电子技术, 2017, 14(3): 92-96.
YUAN Suchun, QU Zexu, SHAO Yingzhao. A low cost and high reliability FPGA on orbit reconfigurable load management scheme[J]. Space Electronic Technology, 2017, 14(3): 92-96.
- [8] PETRICK D, ESPINOSA D, RIPLEY R, et al. Adapting the reconfigurable space cube processing system for multiple mission applications[C]//Proceedings of Aerospace Conference, New York, IEEE, 2014: 1-4.
- [9] 张秀宁, 刘斌, 李澎, 等. 基于反熔丝型FPGA的有效载荷可重构技术[J]. 遥测遥控, 2021, 42(6): 65-70.
ZHANG Xiuning, LIU Bin, LI Peng, et al. Payload reconfigurable technology based on antifuse FPGA[J]. Journal of Telemetry, Tracking and Command, 2021, 42(6): 65-70.
- [10] 李吉锋, 杨刚, 王戈, 等. 星载环境FPGA软件在轨重加载的一种方法[J]. 现代电子技术, 2012, 35(9): 87-90.
LI Jifeng, YANG Gang, WANG Ge, et al. Method of on-orbit reloading for FPGA software in satelliteborne environment[J]. Modern Electronics Technique, 2012, 35(9): 87-90.
- [11] 陈楠, 魏廷存, 魏晓敏, 等. 抗单粒子翻转效应的SRAM研究与设计[J]. 固体电子学研究与进展, 2013, 33(5): 491-496.
CHEN Nan, WEI Tingcun, WEI Xiaomin, et al. Research and design of SEU-Hardened SRAM chip[J]. Research & Progress of SSE, 2013, 33(5): 491-496.
- [12] 于善鹏, 占丰, 姜连祥. 基于FPGA的高可靠EDAC系统设计[J]. 质量与可靠性, 2019, 2: 29-33.
YU Shanpeng, ZHAN Feng, JIANG Lianxiang. Design of high reliability EDAC system based on FPGA[J]. Quality and Reliability, 2019, 2: 29-33.
- [13] AZAMBUJA J R, SOUSA F, ROSA L, et al. Evaluating large grain TMR and selective partial reconfiguration for soft error mitigation in SRAM-based FPGAs[C]//Proceedings of IEEE International Online Testing Symposium, 2009: 101-106.
- [14] 熊浩伦, 闫国瑞, 李国军, 等. 基于最小系统的小卫星在轨软件重构系统设计[J]. 遥测遥控, 2020, 41(3): 48-55.
XIONG Haolun, YAN Guorui, LI Guojun, et al. Design of on-orbit software reconfiguration system of small satellite based on minimum system[J]. Journal of Telemetry, Tracking and Command, 2020, 41(3): 48-55.
- [15] 陈州, 倪明. 三模冗余系统的可靠性与安全性分析[J]. 计算机工程, 2012, 38(14): 239-241.
CHEN Zhou, NI Ming. Reliability and security analysis of triple-module redundancy system[J]. Computer Engineering, 2012, 38(14): 239-241.
- [16] 杨玉辰, 周国昌, 巨艇, 等. 三模冗余反馈纠错技术在星载电路加固设计中的应用与实现[J]. 空间电子技术, 2017, 2: 34-37.
YANG Yuchen, ZHOU Guochang, JU Ting, et al. Design and implementation of TMR and feedback correction technology in satellite's radiation-hardened circuits[J]. Space Electronic Technology, 2017, 2: 34-37.
- [17] 杜新军, 周建华, 胡剑平. 一种SRAM型FPGA内嵌CPU软核的SEU效应防护设计与验证[J]. 遥测遥控, 2015, 36(1): 47-51.

- DU Xinjun, ZHOU Jianhua, HU Jianping. SEU mitigation design and verification for embedded CPU-IP of SRAM-based FPGA[J]. Journal of Telemetry, Tracking and Command, 2015, 36(1): 47-51.
- [18] 石龙龙, 林宝军, 王正凯, 等. 基于龙芯的高可靠性卫星数据处理系统[J]. 微电子学与计算机, 2021, 38(7): 25-29.
- SHI Longlong, LIN Baojun, WANG Zhengkai, et al. High reliability data processing system of satellite based on Godson[J]. Microelectronics & Computer, 2021, 38(7): 25-29.
- [19] HUANG Heyue, ZHENG Zhiwei, BAI Yang, et al. FPGA/CPLD/PROM remote update method based on GoAhead and JTAG[J]. Microcontrollers & Embedded Systems, 2017, 17(8): 48-51.
- [20] NASIR A, ATKINS E, KOLMANOVSKY I. A mission based fault reconfiguration framework for spacecraft applications[C]// Infotech Aerospace, 2012.

[作者简介]

- 丁 琳 1986年生, 硕士, 工程师。
薛小龙 1985年生, 硕士, 高级工程师。
冯忠伟 1982年生, 博士研究生, 研究员。
黄喜元 1983年生, 博士研究生, 研究员。

(本文编辑: 杨秀丽)