

基于 SiP 技术的雷达信号处理微系统设计

周海斌, 何国强
(南京电子技术研究所 南京 210039)

摘要: 系统级封装 SiP (System in a Package) 已成为后摩尔时代延续摩尔定律的主要技术路线, 是未来电子装备小型化和多功能化的重要依托, 在微纳电子设计和制造领域具有广阔的应用市场和发展前景。介绍了系统级封装技术的发展和应用情况, 根据雷达信号处理系统芯片化、集成化、高效、高可靠的发展需求, 探讨了 SiP 技术在雷达信号处理系统中应用的可行性, 提出了一种基于 SiP 技术的雷达信号处理微系统设计及实现, SiP 产品比 PCB 板卡面积缩小 60% 以上。

关键词: 系统级封装; 雷达信号处理; 微系统; 华睿 2 号数字信号处理器

中图分类号: TN402 **文献标识码:** A **文章编号:** CN11-1780(2021)05-0007-07

DOI: 10.12347/j.ycyk.20210624001

引用格式: 周海斌, 何国强. 基于 SiP 技术的雷达信号处理微系统设计[J]. 遥测遥控, 42(5): 70-76.

Radar signal processing microsystem based on SiP

ZHOU Haibin, HE Guoqiang
(Nanjing Research Institute of Electronics Technology, Nanjing 210039, China)

Abstract: SiP (System in a Package) has become the main technical route for the continuation of Moore's law in the post-Moore's law period. It is an important support for the future miniaturization and multi-function of electronic equipment, and has a wide application market and development prospect in the field of micro-nano electronic design and manufacturing. This paper has introduced the development and application of SiP technology. According to the development requirements of radar signal processing system with chip, integration, the feasibility of applying SiP technology in radar signal processing system is discussed, and implementation of a radar signal processing microsystem based on SiP technology is proposed, in which the area of SiP product is more than 60% smaller than the area of PCB.

Key words: SiP; Radar signal processing; Microsystem; HRDSP2080

DOI: 10.12347/j.ycyk.20210624001

Citation: ZHOU Haibin, HE Guoqiang. Radar signal processing microsystem based on SiP[J]. Journal of Telemetry, Tracking and Command, 42(5): 70-76.

引 言

军事电子装备尤其是无人机、飞艇、飞弹等微小型化平台, 其电子载荷不仅要求高性能和高可靠, 还要求具备小尺寸、轻质、高效的特征。作为现代信息技术关键核心的半导体器件, 须最大限度地实现小型化、轻量化、高度集成化和高可靠性, 才能满足装备的低 SWaP (Size, Weight and Power) 要求。随着集成电路技术的工艺节点逐步接近其物理极限, 半导体行业已进入后摩尔时代, 多年来遵循传统摩尔定律的晶体管特征尺寸等比例缩小的发展趋势已放缓, 成本却在大幅提高, 难以满足半导体技术和电子装备的发展需求。SiP 系统级封装技术作为在系统层面延续摩尔定律的主要技术路线, 得到了行业的广泛关注和应用。

1 SiP 技术发展现状及趋势

SiP 是一种高度集成的封装技术, 它从系统封装的角度出发, 对不同裸芯片采用 2D 平铺或 3D 堆叠的封装方式, 将处理器、存储器、阻容等多个具有不同功能的有源或无源电子元器件, 以及 MEMS 或光学器件等其它器件, 通过异构或异质的方式封装到一起, 实现特定系统功能的单个标准封装件。典型

的高集成度 SiP 产品如图 1 所示^[1]。

按封装体内元器件的排列方式不同, SiP 可分为 2D 平铺封装和 3D 堆叠封装。相对于 2D 平铺封装, 采用堆叠的 3D 封装技术在垂直方向上增加了可放置晶圆的层数, 进一步增强 SiP 技术的功能整合能力和集成度。SiP 内部接合可以是单纯的引线键合(Wire Bonding)方式, 也可使用倒装接合(Flip Chip)方式, 或二者混用。除 2D 与 3D 封装结构外, SiP 还可采用多功能性基板整合组件的方式, 将不同组件内藏于多功能基板中, 达到功能整合的目的。不同的芯片排列方式, 与不同的内部接合技术搭配, 使 SiP 的封装形态产生多样化的组合。常规 SiP 封装结构及实现方式如图 2 所示^[2]。

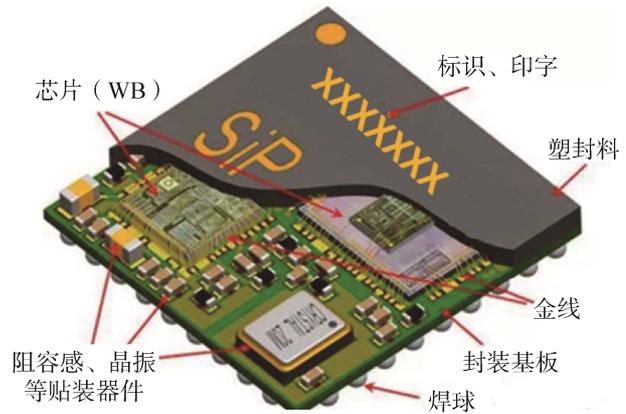


图 1 一款典型的高集成度 SiP 产品
Fig. 1 A typical SiP product with high integration

Package structure	Solutions		
Side-by-Side Packaging	W/B		Flip Chip
3D Packaging	W/B	W/B+FC	PiP, PoP
Embedded Packaging	LTCC	Embedded passives	IPD
Advanced Technology Chip Scale Module	Embedded Chip	Multi-chip Fan-out WLP	
	TSV	3D Fan-out WLP	

图 2 SiP 封装结构及实现方式
Fig. 2 Common SiP structure and solution

相比 SoC (System on a Chip) 系统单芯片, SiP 封装除了具有灵活性强、集成度高、面积小等优势之外, 还具有成本较低、研发周期短等特点。因此, SiP 封装技术不仅在工业应用和物联网、智能手机以及其它小型化智能设备具有广阔的应用市场, 在军事电子装备市场中, 尤其是无人机、飞艇、飞弹等微小型化平台中同样具有广阔的应用前景。

SiP 封装大大降低了 PCB 电路设计的复杂性, 带来了电子设备的小型化, 其益处显而易见。但从研发角度而言, 要推出一款成熟的高集成度 SiP 产品, 还面临诸多技术挑战。首先, 以往在构成电子系统的 PCB 板卡中存在的 SI (Signal Integrity)、PI (Power Integrity) 及散热等问题, 由于 SiP 的尺寸更小、信号的干扰更加严重、封装体内的热密度更高, 而在 SiP 中愈发突出; 其次, SiP 将 PCB 板卡的大量板级信号变成了封装体的内部信号, 使得 SiP 的测试难度剧增; 此外, SiP 的实现封装工艺也提出了挑战; 在更高集成度的 WLP (Wafer Level Package) 封装中, 还需要晶圆和封装的协同设计^[3]。

2 数字信号处理 SiP 微系统设计

2.1 华睿 2 号 DSP 处理器 (HRDSP2080) 及板卡特点

2.1.1 HRDSP2080 处理器简介

HRDSP2080 是一款面向先进雷达高密度计算应用的嵌入式 DSP 处理器, 该处理器采用八核异构架构, 片内集成了 4 个 64 位矢量 DSP 处理器核和 4 个面向先进雷达信号处理的 RASP 核, 具有运算能力

强、访存带宽高、IO 接口丰富等特点。HRDSP2080 拥有完整的编译器、调试器和集成开发环境等软件工具链和高效矢量函数库, 支持嵌入式实时操作系统, 易于进行多核、多任务应用开发。

HRDSP2080 处理器与 SiP 封装相关的高速接口及功耗、面积等主要技术指标如下:

- 2 个 72 位 (含 8 位 ECC) DDR3-1600 MT/s 接口
- 2 个 x1/x2/x4 可配置的 6.25 Gbps/lane RapidIO2.2 接口
- 1 个 x1/x2/x4 可配置的 5 Gbps/lane PCIe2.0 接口
- 3 个 SGMII 千兆以太网接口
- 典型功耗: 18 W
- 裸芯面积: 14.5 mm×17.8 mm
- FC 封装
- Bump 数量: 6 516 个; Bump 间距: 180 μm

2.1.2 HRDSP2080 板卡特点

以 HRDSP2080 处理器为核心构建的信号处理板卡, 其特点是所含元器件种类多、数量大、密度高, 通常包含单片或多片 HRDSP2080 主处理器、DDR3 存储颗粒及 Flash、FPGA、交换芯片、DC-DC 电源模组及 LDO、时钟、复位、阻容等。其中, 又以 DDR3 存储颗粒和 DC-DC 电源模组及 LDO 数量为最多, 占用面积也大。

HRDSP2080 处理器集成了两路 DDR3 控制器及其 PHY, 每路支持 32 GB、两路共计 64 GB 存储空间, 通常板载 DDR3 的具体容量在此范围内根据用户实际使用需求, 并考虑板卡布局限制确定。以典型应用为例, HRDSP2080 处理器每路支持 4 GB、两路共计 8 GB 存储空间, 再加上 FPGA 外挂 2 GB 的 DDR3, DDR3 总容量达 10 GB。单个存储颗粒数容量按 1 GB 计算, 板载单片 HRDSP2080 处理器所需 DDR3 存储颗粒数量多达 10 颗。为满足雷达装备大带宽、多通道发展趋势及高密度嵌入式计算需求, 信号处理板卡通常板载 2 片或 4 片 HRDSP2080 处理器, DDR3 存储颗粒数量成倍增加, 采用平铺设计的板卡元器件密度极高, 严重影响板级信号、电源质量及可靠性。

现代处理器朝 SoC 方向发展, 处理器内部集成了大量来自于不同厂商及不同协议标准的 IP, 内核期望低压、低功耗, 而 IO 则有驱动能力要求, 电平不能过低, 这导致电源种类多、供电复杂。考虑板载 FPGA、交换芯片所需的 3.3 V、2.5 V 及大电流供电等其它需求, HRDSP2080 板卡所需 DC-DC 电源模组及 LDO 数量达 10 个之多。

综上所述, 为降低板卡设计复杂度, 迫切需要采用 SiP 技术, 在封装级将板卡的部分元器件, 尤其是 HRDSP2080 主处理器和占用面积较大的 DDR 存储颗粒进行组装, 进一步提高集成度, 减小装备的体积和重量, 提高整体可靠性^[4]。

2.2 华睿 2 号 SiP 功能与组成

华睿 2 号 SiP 集成了信号处理主芯片及其所需的全部外部 DDR3 存储颗粒, SiP 包含单片 HRDSP2080 处理器及两通道 16 片 DDR3 颗粒 (总存储容量为 16 GB), 同时将 HRDSP2080 处理器的两路 RapidIO、一路 PCIe、三路 SGMII 及 EMIF、LSIO 等除 DDR3 以外的其它接口全部引出, 实现信号处理、片外 DDR3 存储的一体化高密度集成, 华睿 2 号 SiP 组成如图 3 所示。

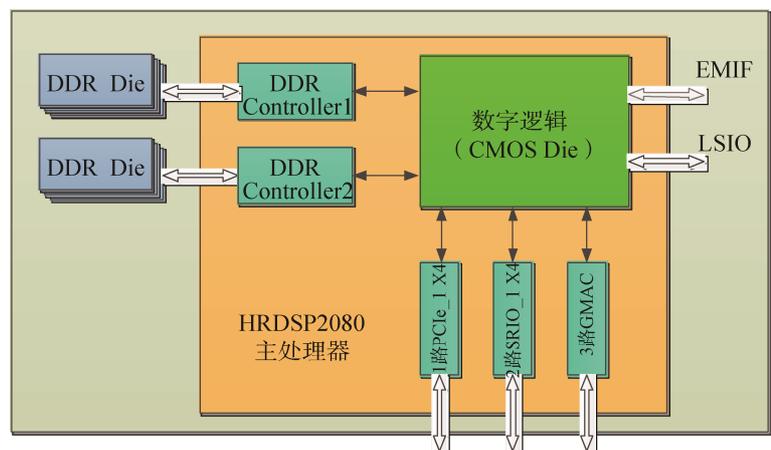


图 3 数字信号处理 SiP 功能组成原理框图

Fig. 3 The schematic diagram of DSP SiP function composition

2.3 SiP 封装结构及工艺

2.3.1 SiP 封装结构

根据 HRDSP2080 处理器及 DDR3 颗粒的器件结构及功耗等特点，华睿 2 号 SiP 采用平铺和堆叠、FC 和 WB 相结合的方式，将单片 HRDSP2080 处理器裸芯及 16 颗 DDR3 裸芯集成在一个封装内。其中，HRDSP2080 处理器采用 FC 倒装焊方式贴装，16 颗 DDR3 分成 4 组、每组 4 颗裸芯采用引线上流体 FOW (Film on Wire) 工艺实现 4 层三维垂直堆叠，以 WB 键合方式贴装在基板上，充分减小封装面积。华睿 2 号 SiP 布局及实物如图 4 所示。

华睿 2 号 SiP 侧视图如图 5 所示。

由于 HRDSP2080 处理器所需电源平面层及布线资源较多，SiP 采用了 10 层 ABF 基板，总厚度为 1.5 mm，封装尺寸为 40 mm×40 mm，比 HRDSP2080 单芯片封装后的尺寸仅增加 14%，但比华睿 2 号 PCB 板面积缩小了 60%以上。考虑 SiP 典型功耗较大，华睿 2 号 SiP 采用 FC 和 WB 相结合、顶层贴装金属盖板散热的 PBGA 封装结构。

2.3.2 SiP 封装工艺流程

华睿 2 号 SiP 封装工艺流程如图 6 所示^[5]。

2.4 SiP 封装电设计

2.4.1 DDR3 裸芯 RDL 及堆叠设计

DDR3 裸芯的原始 Pad 共 120 个，且为中间布局，无法进行常规的 WB 键合，故需对 DDR3 颗粒的 Pad 进行 RDL 预处理，将 Pad 重新布局在裸芯的两侧后才能进行多芯片堆叠封装。DDR3 裸芯 Pad 在 RDL 前后的布局如图 7 所示。

DDR3 裸芯颗粒经过 RDL 后，数据位 Pad 在裸芯颗粒的左侧，地址位和控制位 Pad 位于裸芯右侧，Pad pitch 均为 140 μm，支持直角打线。

DDR3 裸芯堆叠采用 FOW 工艺，在确保 4 mil 以上的键合引线高度前提下，将粘结膏和粘性薄膜贴于 DDR3 裸芯背面，在完成底层芯片打线后，直接将上一层裸芯粘贴于底层裸芯之上，在一定温度下进行老化变硬，再进行上一层芯片的打线，重复上述过程直至完成四层裸芯的堆叠。FOW 工艺省去了芯片叠层封装中非功能芯片的使用，降低了叠层芯片制造工艺的整体复杂性，并提供更好的芯片倾斜和引线

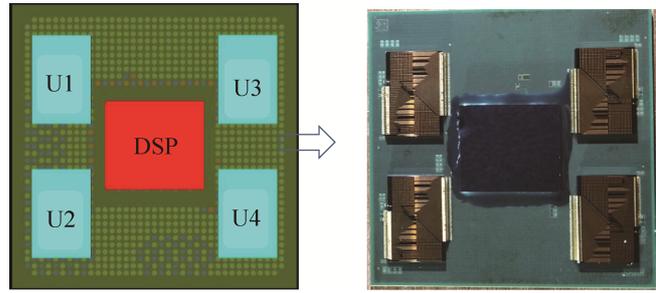


图 4 华睿 2 号 SiP 布局及实物图
Fig. 4 HRDSP2080 SiP floorplan and real chip picture

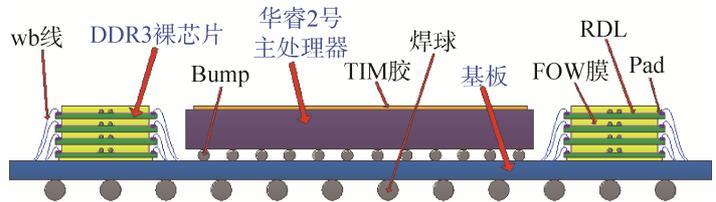


图 5 华睿 2 号 SiP 侧视图
Fig. 5 HRDSP2080 SiP side view

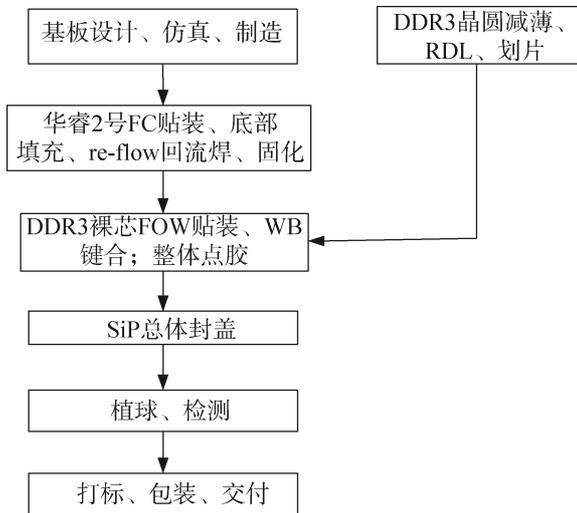


图 6 华睿 2 号 SiP 封装工艺流程
Fig. 6 HRDSP2080 SiP process flow

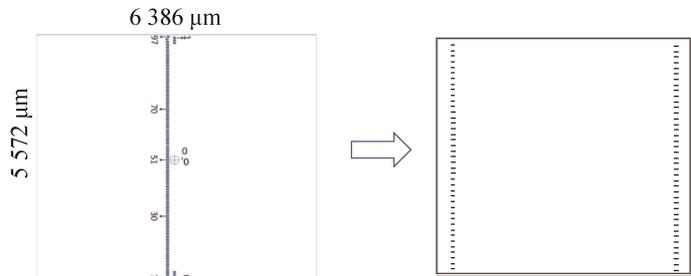


图 7 DDR3 裸芯 RDL 前后的 Pad 布局示意图
Fig. 7 The pad floorplan of DDR3 die before and after RDL

键合控制^[6]。

HRDSP2080 处理器支持双通道和双 Rank 存储接口, 两个 Rank 相同数据位对应同一个 FOW 堆叠模块。如图 4 所示, U1 和 U2 为通道 1 的 DDR3 颗粒, U1 顶部两个 DDR3 颗粒分别对应 Rank1 和 Rank2 的 DQ[15:0]数据位; 底部两个 DDR3 颗粒分别对应 Rank1 和 Rank2 的 DQ[31:16]数据位; U2 的四个 DDR3 颗粒分别对应 Rank1 和 Rank2 的 DQ[47:32]和 DQ[63:48]数据位。通道 2 的结构与通道 1 类似。

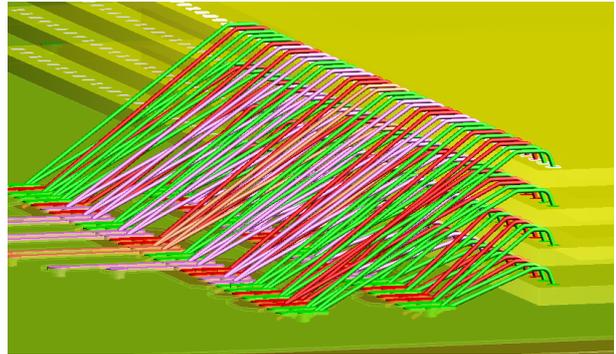


图 8 DDR3 裸芯数据线 WB 打线三维示意图
Fig. 8 Three dimensional wiring diagram of DDR3 data line WB

DDR3 裸芯数据线采用一驱二设计, 在同一个 Finger 处分为两根 Wire-bond, 分别连接 FOW 模块的上下两颗裸芯, 地址线为一驱八设计; 基板上选用带状走线, 单端信号阻抗为 50 Ω, 差分信号阻抗为 100 Ω, 所有信号均具有完整电源/地参考平面。由于 DDR3 数据率最高为 1600 MT/s, 四层垂直堆叠的 DDR3 裸芯数据、地址等信号的连接采用远端簇型 (T 型) 拓扑结构, WB 打线分为上下两层, 可节约空间、同时减少 stub 的长度和信号反射。DDR3 裸芯数据线 WB 打线如图 8 所示。

从仿真结果看, 采用远端簇型 (T 型) 拓扑结构的信号质量优于 Fly-by 拓扑结构, 有效改善信号的 SI 质量, 提升了传输信号的有效窗口和时序余量。DDR3 地址线时域眼图仿真结果及对比如图 9 所示, 左图为 Fly-by 拓扑结构, 右图为远端簇型 (T 型) 拓扑结构。

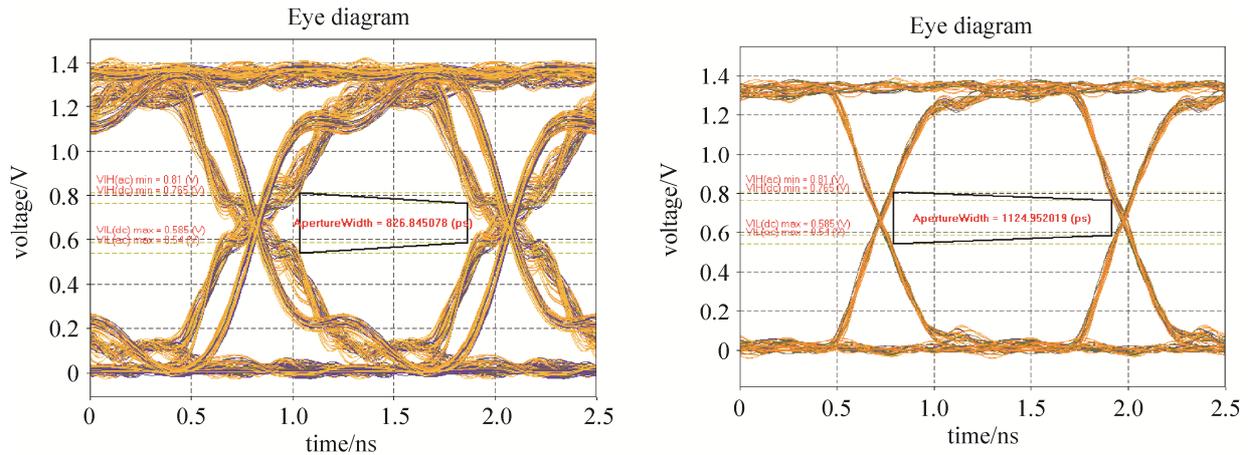


图 9 DDR3 地址线仿真眼图对比
Fig. 9 Comparison of DDR3 address line simulation eye diagram

通过对两路 DDR3 的数据、地址和控制信号进行频域仿真, 信号的插损、回损等指标均满足 IP 手册对封装的规定要求。

2.4.2 Serdes 高速信号设计

HRDSP2080 包含 2 个 x4 的 RapidIO2.2 接口, 数据率为 6.25 Gbps/lane; 1 个 x4 的 PCIe2.0 接口, 数据率为 5 Gbps/lane; 3 个 SGMII 千兆以太网接口。上述高速接口采用了相同的 Serdes IP, 裸芯的高速信号 Bump 通过基板引出到 SiP 的 Ball 上。

SiP 高速 Serdes 信号设计与华睿 2 号 DSP 处理器基板设计遵循相同的原则: ① 阻抗要求: 单端信号阻抗均为 50 Ω, RapidIO 和 SGMII 的差分信号阻抗为 100 Ω, PCIe 的差分信号阻抗为 85 Ω; ② 基板上信号走线全部采用带状线, Tx 和 Rx 在不同层走线, 以避免近端串扰; ③ 差分对间距保持在 3 倍以上线宽距离; ④ Tx 和 Rx 等信号上下方保持参考平面完整^[7]。

通过对 10 G 高速链路系统级仿真优化, 高速信号眼宽由 0.3 UI 增大到 0.5 UI, 眼高由 0.1 V 提高到 0.25 V。优化后的信号眼图明显张大, 高速链路信号质量得到显著提升。通过频域仿真, Serdes 高速信号的差分插损 -1.5 dB, 差分回损 -15 dB, 其它损耗及串扰指标也均满足 IP 手册要求。

2.4.3 SiP 封装 PI 设计

华睿 2 号 SiP 所需电源多达 7 种, 包括 HRDSP2080 处理器所需的 0.9 V 数字核心电源、1.8 V 接口电源、1.5 V DDR3 PHY 电源及 0.75 V DDR3 参考电源、PLL 及高速 Serdes 所需的 0.9 V 及 1.8 V 低噪声 LDO 线性电源, 以及 DDR3 颗粒所需的 1.5 V 电源。

PI 仿真主要是针对核心电源平面的谐振进行仿真, 避免局部电压的瞬间尖峰和塌陷, 为芯片的稳定工作提供保障^[7,8]。通过相同频率下前仿和后仿的谐振电压对比, 经过电容的容值和位置的优化, 后仿的谐振电压减小了 2/3, 模块对外 EMI 减小, 平面电压趋于稳定。通过对电源的阻抗、压降仿真分析, 各电源满足通流能力要求, 电源直流压降均 <math><1\%</math>, 交流压降均 <math><3\%</math>。

2.4.4 热设计与仿真

华睿 2 号 SiP 内部堆叠了 DDR3 颗粒, 更高的集成度带来了更高的热密度和更严重的散热问题。相比华睿 2 号 DSP 芯片, 华睿 2 号 SiP 面积增加了 14%, 整体典型功耗增加了约 8 W, 增加率为 44%。

SiP 采用顶层贴装金属盖板散热的封装方式, 裸芯和金属盖板之间通过 TIM (Thermal Interface Material) 散热胶粘接, 金属盖板和基板之间的空隙处填充底填料。不同 TIM 胶的导热率不同, 对 SiP 的散热具有至关重要的作用, 华睿 2 号 SiP 选用导热率较高的 3.5 W/m $^{\circ}\text{C}$ 的 TIM 胶; 底填料的 T_g、CTE (Coefficient of Thermal Expansion) 直接影响 SiP 的热应力。

华睿 2 号 SiP 的典型应用场景为散热器传导、外加风冷散热。热仿真输入的参数包括: ① HRDSP2080 裸芯及 DDR3 裸芯等热源的尺寸及典型功耗值; ② TIM 胶的厚度及导热率; ③ 铝合金盖板的尺寸及导热率; ④ 外部热沉铝合金翅片的结构及尺寸、导热率; ⑤ FR4 材质的测试板卡层数、厚度、导热率等参数^[8]。通过热仿真看出, SiP 热密度最高仍为 HRDSP2080 裸芯处。

外部环境: 风速为 3 m/s, 散热器尺寸为 40 mm \times 40 mm \times 30 mm, 环温为 45 $^{\circ}\text{C}$ 时, HRDSP2080 裸芯结温为 98.09 $^{\circ}\text{C}$; 环温为 85 $^{\circ}\text{C}$ 时, 结温达到 138.5 $^{\circ}\text{C}$ 。其它条件不变, 增大散热器尺寸到 80 mm \times 80 mm \times 30 mm, 环温为 85 $^{\circ}\text{C}$ 时, HRDSP2080 裸芯结温达到 110.1 $^{\circ}\text{C}$ 。华睿 2 号 SiP 热仿真结果如图 10 所示。

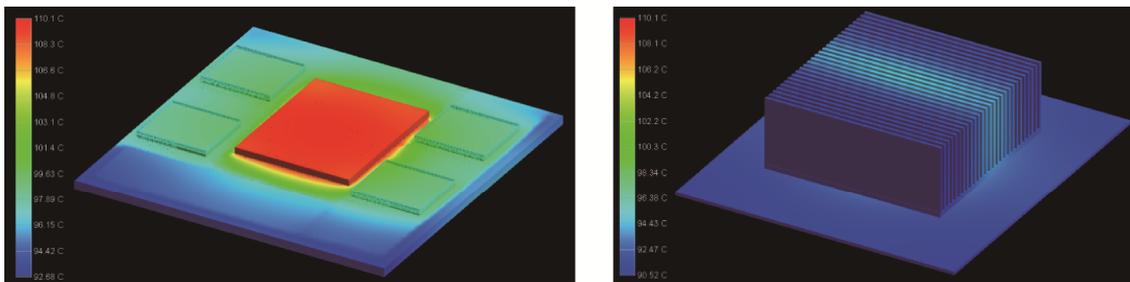


图 10 SiP 热仿真结果 (大散热片, 风速 3 m/s、环温 85 $^{\circ}\text{C}$)

Fig. 10 The thermal simulation results of DSP SiP
(Large heat sink, wind speed 3 m/s, ambient temperature 85 $^{\circ}\text{C}$)

3 结束语

SiP 是半导体工业进入后摩尔时代的一项先进系统集成和封装技术, 满足了电子装备低 SWaP 发展需求, 在微纳电子设计和制造领域具有广阔的应用市场和发展前景。针对华睿 2 号 PCB 板级设计中数量最多、占用布局面积最大和布线资源最多的 DDR3 颗粒, 采用平铺和堆叠、FC 和 WB 相结合的方式, 将单片 HRDSP2080 处理器裸芯及 16 颗 DDR3 裸芯集成在一个封装内, 封装后的 SiP 面积与华睿 2 号 PCB 板卡相比缩小了 60% 以上, 访存速度和带宽提升了 50%, 适用于无人机、飞艇、飞弹等

微小型化军事电子装备。随着工艺技术的发展, 后续将通过 3D 技术把华睿 2 号板级的 FPGA、Flash 及 IPD (Integrated Passive Device) 等更多元器件集成到一个封装内, SiP 的集成度将进一步提高。

参考文献

- [1] 杨坤兴. SiP 封装工艺剖析[EB/OL]. (2018-10-15) [2021-06-24]. <https://mp.weixin.qq.com/s/vwunRQkcvWvsEBWFPy3xg>.
- [2] JANET. SoC 封装技术与 SiP 封装技术之经典比较[EB/OL]. (2018-02-27) [2021-06-24]. https://mp.weixin.qq.com/s/DdOE_mIUAV1G4U8hj4-mYg.
- [3] 唐和明, 赖逸少, 汪正平. 先进倒装芯片封装技术[M]. 北京: 化学工业出版社, 2017.
- [4] 杨芳, 王良江. 数字信号处理微系统设计[J]. 电子与封装, 2016, 16(2): 19-22.
YANG Fang, WANG Liangjiang. Microsystems analysis and design[J]. Electronics & Packaging, 2016, 16(2): 19-22.
- [5] 李悦. 数字处理器 SiP 封装工艺设计[J]. 电子工艺技术, 2015, 36(2): 86-88.
LI Yue. Technology design of system in package of digital processor module[J]. Electronics Process Technology, 2015, 36(2): 86-88.
- [6] 张天刚, 毛凌锋. FOW 在叠层 CSP 封装中的应用[J]. 电子与封装, 2009, 9(11): 1-4.
ZHANG Tiangan, MAO Lingfeng. FOW die attach method application in stack CSP package assembly [J]. Electronics & Packaging, 2009, 9(11): 1-4.
- [7] ERIC BOGATIN. 信号完整性与电源完整性分析[M]. 李玉山, 李丽平, 译. 北京: 电子工业出版社, 2019.
- [8] 李杨. SiP 系统级封装设计仿真技术[J]. 电子技术应用, 2017, 43(7): 47-50.
LI Yang. SiP-system in package design and simulation technology[J]. Application of Electronic Technique, 2017, 43(7): 47-50.

[作者简介]

周海斌 1972 年生, 硕士, 研究员, 主要研究方向为 DSP 处理器和微系统设计。

何国强 1977 年生, 硕士, 研究员, 主要研究方向为雷达信号处理和微系统设计。

(本文编辑: 傅 杰)