

基于 CPS 协同的微系统电源信号完整性设计

王艳玲, 杨宇军, 袁金焕, 杨 巧
(西安微电子技术研究所 西安 710065)

摘要: 裸芯片 die、硅通孔 TSV (Through Silicon Via) 硅转接板、高温共烧陶瓷 HTCC (High Temperature Co-fired Ceramics) 管壳等多材质多基板立体堆叠和高密度集成的微系统封装, 因空间极度有限、跨尺度立体转换的失配、电磁效应的耦合, 低电压大电流电源的电源分布网络 PDN (Power Distribution Network) 和 GHz 高速信号的通道设计成为难题。贴合微系统封装尺度越来越接近芯片尺度的特点, 以及微系统模块的系统应用需求, 研究了基于芯片、封装、系统 CPS (Chip-Package-System) 协同设计仿真的方法。针对核心电源 PDN 的设计, 采用芯片功耗模型 CPM (Chip Power Model), 结合 TSV 硅基板、HTCC 管壳、PCB 三级去耦电容网络的布放和协同优化, 有效降低了电源纹波, 保证了电源完整性。针对高速信号通道设计, 基于电磁场和电路结合的仿真, 将芯片电特性配置与封装互连的拓扑匹配协同优化, 封装与板级应用协同优化, 保证了信号完整性, 且不对封装版图和工艺提出严苛要求。

关键词: 微系统; CPS 协同设计; 芯片功耗模型; 场路结合; 电源完整性; 信号完整性

中图分类号: TN401 **文献标识码:** A **文章编号:** CN11-1780(2021)05-0008-08

DOI: 10.12347/j.ycyk.20210527001

引用格式: 王艳玲, 杨宇军, 袁金焕, 等. 基于 CPS 协同的微系统电源信号完整性设计[J]. 遥测遥控, 2021, 42(5): 77-84.

Power and signal integrity design of microsystem based on CPS co-design

WANG Yanling, YANG Yujun, YUAN Jinhuan, YANG Qiao
(Xi'an Microelectronics Technology Institute, Xi'an 710065, China)

Abstract: High-integrated package of microsystem is based on multi-materials and substrates including die, TSV interposer, HTCC envelope etc. The design of PDN for low-voltage and high-current power supply and interconnect for high-speed signal becomes difficult, due to extremely limited space, mismatch of multi-scale structures and coupling of electromagnetic effects. Taking full account of the approaching scales of microsystem package and chip, and aiming at the application of microsystem in larger system, this paper focus on the CPS co-design and co-simulation method. For the PDN design of the core power, the CPM has been used to simulate the power ripple. Decoupling capacitor networks on TSV substrate, HTCC substrate and PCB have been assigned and co-optimized to realize the stable and clean power supply. For the interconnect design of high-speed signal, coupled field-circuit method has been used to model the package interconnect and analyze the time domain waveform. The configuration of chip electrical characteristics and design of signal interconnect have been balanced to gain the signal integrity. CPS co-design method can effectively utilize the limited space to improve the performance of microsystem.

Key words: Microsystem; CPS co-design; CPM; Coupled field-circuit; Power integrity; Signal integrity

DOI: 10.12347/j.ycyk.20210527001

Citation: WANG Yanling, YANG Yujun, YUAN Jinhuan, et al. Power and signal integrity design of microsystem based on CPS co-design[J]. Journal of Telemetry, Tracking and Command, 2021, 42(5): 77-84.

引 言

特征尺寸缩小在芯片性能的提升中占的比重越来越小, 采用先进封装的三维集成微系统技术成为电子系统的重要发展方向。基于 TSV 硅基板、陶瓷基板、垂直堆叠组装等工艺, 将不同工艺节点、不同材质、不同功能的芯片集成在一个封装体内, 实现高密度异构集成微系统。在大幅缩小体积的同时, 也

带来了相应的设计挑战: ① 低电压大电流电源 PDN 的直流压降和噪声去耦等电源完整性问题; ② 小尺寸高密度布线引入的串扰、立体转换参考路径导致的阻抗不连续等信号完整性问题; ③ 多材质跨尺度立体集成的空间电磁效应显著; ④ 制造后硬件修改的不可实现性和测试的局限性, 对设计一次成功的要求紧迫。必须提升设计仿真技术来保障微系统设计的正确性, 实现设计即所得。

先进封装技术的引入, 使得微系统封装尺度越来越接近芯片工艺尺度, 且远小于 PCB, 芯片的特性与微尺度封装结构的寄生效应和散热特性的耦合越来越强。尤其是大规模芯片, 将芯片看作一个整体来考虑 TSV 硅基板等封装的设计已经太过粗略。在微系统狭小的封装体内, 电源去耦电容的数量极其有限, 芯片热耗高度聚集, 信号经过多层级多结构转换, 仅靠微系统封装自身的设计仿真很难保障微系统设计的合理性, 以及不产生过设计而增大工艺难度和成本^[1,2]。近几年, 芯片封装设计也开始考虑系统级应用的影响^[3,4]。基于模型的系统工程设计理念, 将裸芯片 die 的电、热特性模型化, 微系统封装的无源互连结构模型化, 微系统模块应用的 PCB 板级结构模型化, 通过 CPS 协同的设计方法, 将三级模型级联, 进行仿真分析和各级设计参数优化, 达到微系统设计性能和工艺难度的均衡, 并指导微系统模块的板级应用。CPS 协同的设计方法如图 1 所示。

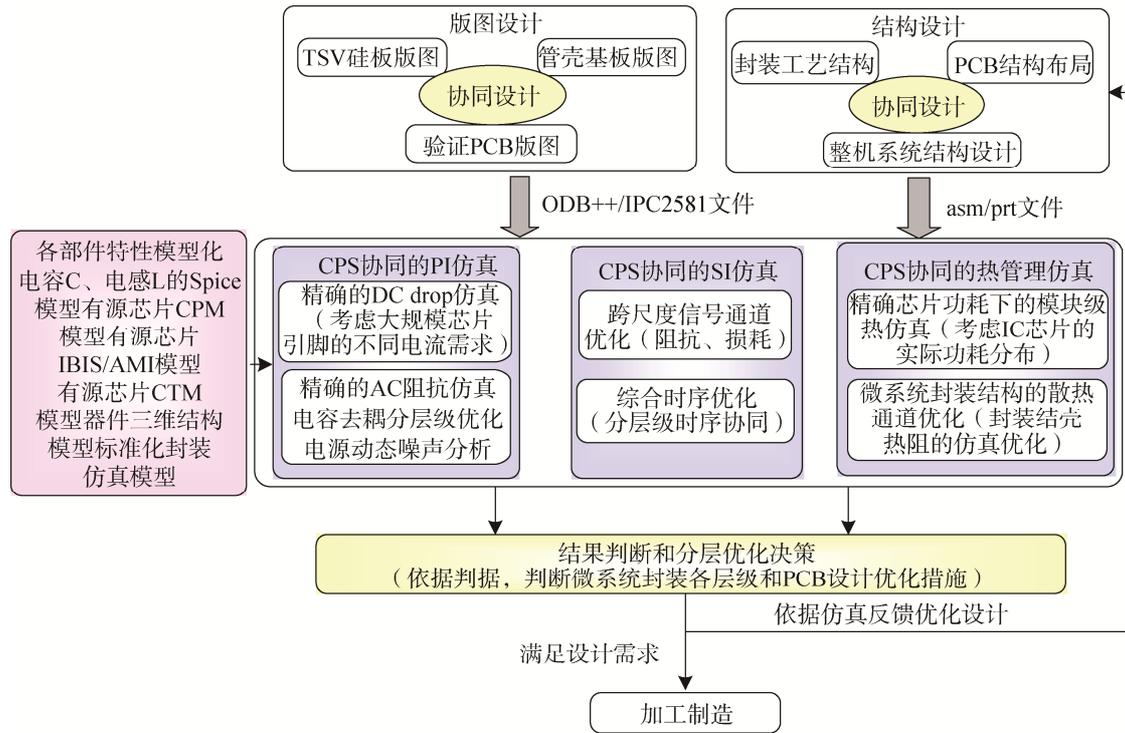


图 1 基于 CPS 协同的微系统封装设计仿真方法

Fig. 1 Microsystem packaging design simulation method based on CPS cooperation

本文对基于 CPS 协同的微系统电源完整性和信号完整性设计仿真方法进行了研究, 并应用于实际的微系统模块研制。

1 基于 CPS 协同的微系统电源完整性设计

1.1 电源完整性设计问题

电源完整性设计关注电源的直流电压损耗 (DC drop)、交流 AC 阻抗、滤波去耦电路的设计优化。目的是保证电源从源端到达用电芯片端的电压满足要求, PDN 路径上电流密度不会超标; PDN 阻抗不超过目标阻抗, 瞬态大量供电时电压波动不超过供电电压的噪声容限。瞬态电压波动为 ΔV , 瞬态电流变化量为 ΔI , PDN 阻抗为 Z_{PDN} , $\Delta V = Z_{PDN} \cdot \Delta I$ 。因负载工作状态变化, PDN 瞬态电流变化时, 要保证芯

片端电压变化范围在容许范围内,就要使电源阻抗足够小,不能超过某一要求的值,即目标阻抗。PDN 目标阻抗设计法如图 2 所示。

目标阻抗的定义如下:

$$Z_{target} = \frac{V_{cc} \times Ripple}{\Delta I_{max}} = \frac{\Delta V_{cc}}{\Delta I_{max}} \quad (1)$$

V_{cc} 是电源电压, $Ripple$ 为容许的电压波动, ΔI_{max} 是负载芯片最大瞬态电流变化量。实际上,芯片在不同的频率点的电流需求并不一样。传统的目标阻抗设计法并不关心哪个频率点电流需求大,哪个频率点电流需求小,而以负载芯片最大瞬态电流变化量来确定恒定的目标阻抗^[8,9],是一种保守的设计方法,往往造成过设计。

完整的 PDN 结构如下图所示,微系统的 PDN 如图 3 中虚线圆圈部分。

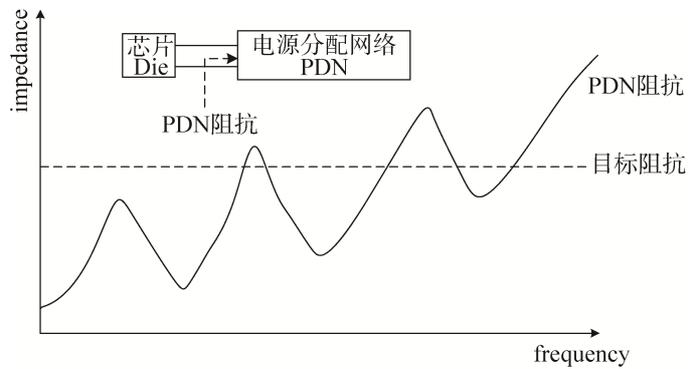


图 2 目标阻抗法设计 PDN 阻抗

Fig. 2 Design of PDN impedance by target impedance method

完整的 PDN 结构如下图所示,微系统的 PDN 如图 3 中虚线圆圈部分。

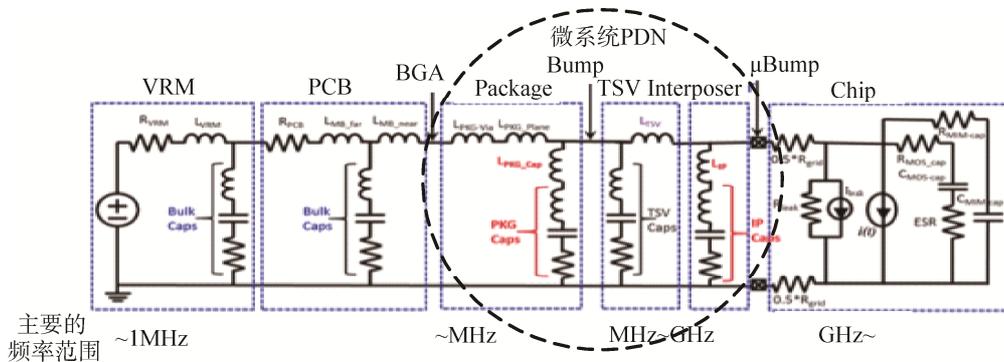


图 3 PDN 全链路结构

Fig. 3 PDN full-link structure

针对微系统 PDN 的设计,按照传统的方法设计电源直流通路,无法细化到电源的每一个 pad 和 TSV 孔需要承载多大电流、需要多少 TSV 孔及如何排布,以保障芯片中电流需求大的引脚能及时获得足够电流,而电流需求小的引脚可以省出珍贵的空间给更需要的电源或信号。电源分配网络经过 PCB 级 PDN、微系统管壳级 PDN、微系统 TSV 硅板级 PDN 到达芯片 die。如此跨尺度的 PDN,电源噪声去耦不可能在一个层级完全解决,不同层级所能布放的电容数量和容值有限。为了保障 PDN 性能同时又不增加设计难度和成本,需要合理规划和设计每个层级 PDN 的物理结构和电容去耦网络。

1.2 CPS 协同的电源完整性设计方法

针对上述微系统 PDN 设计问题,本文提出了将芯片、微系统封装和应用 PCB 协同的 PDN 设计仿真方法。首先,对芯片的精确动态电流变化及 die 上去耦信息模型化,建立 CPM 模型;其次,对微系统封装的硅基板 PDN、管壳 PDN,以及应用 PCB 的各级 PDN 分别进行电磁特性建模,采用 S 参数模型;然后,构建 PDN 全链路,供电电源模块位于应用 PCB 上,以直流电压源来模拟;最后,进行 PDN 全链路电源纹波分析,并且优化各级去耦电容数量和取值,获得满足设计标准的 PDN 结构和去耦网络。

本文通过一款微系统模块的 PDN 设计仿真验证了协同设计方法。该微系统模块采用 2.5D TSV 硅转接板、HTCC 管壳工艺、3D 立体封装。模块处理器的核心电源 CORE_1V2 为 1.2 V/16 A,电源电压随工作状态变化情况如图 4 所示,芯片峰值稳态工作时电压电流高频变化,如实线横向矩形框部分。基于 Ansys RedHawk 工具,建立芯片电源的 CPM 模型,描述这部分的电压电流变化特性。针对此部分结合

芯片模型优化封装去耦网络,降低电源高频纹波。不同工作状态切换时,瞬态电流剧增,频率变化范围为几十兆赫兹到几百兆赫兹,如虚线竖向矩形框部分。针对此部分,协同优化封装和 PCB 的去耦电容,降低电源中频纹波。

构建 CORE_1V2 电源全链路电路如图 5 所示,采用去耦电容优化和时域仿真结合的方式,在不同数量和取值的电容下分析,获得电源纹波在限定范围以内的去耦网络设计。

芯片端 CORE_1V2 电源的时域波形如图 6 所示。其中,黑色实线为采用传统方法设计去耦网络时的电压波形;黑色虚线为采用 CPM 模型精确优化微系统模块管壳的高频去耦电容,并协同优化 PCB 中频去耦电容后的电压波形。可见,芯片端电源纹波降低了 60 mV,达到了限定范围以内。

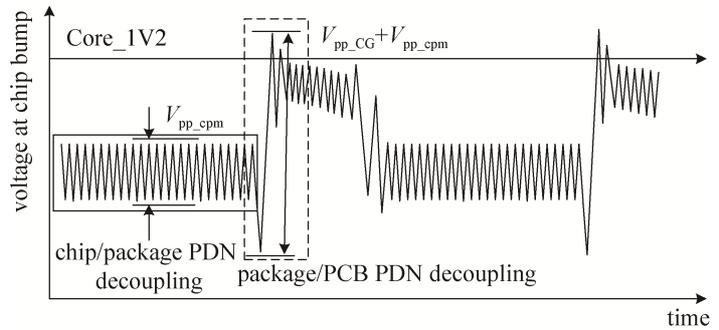


图 4 处理器核心电压随工作状态的变化示意图
Fig. 4 The schematic diagram of processor core voltage changing with working state

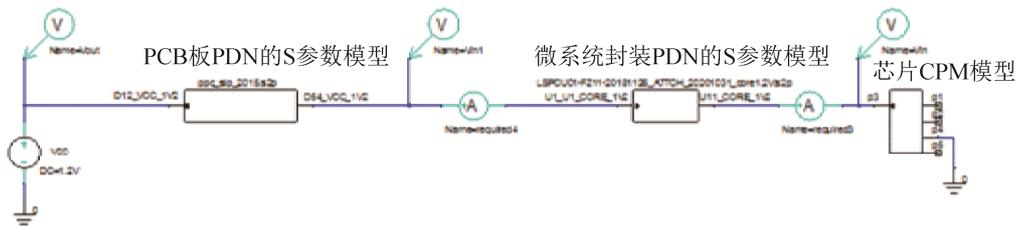


图 5 CORE_1V2 电源 CPS 协同仿真全链路电路图
Fig. 5 Full link circuit diagram of CORE_1V2 power on CPS cooperative simulation

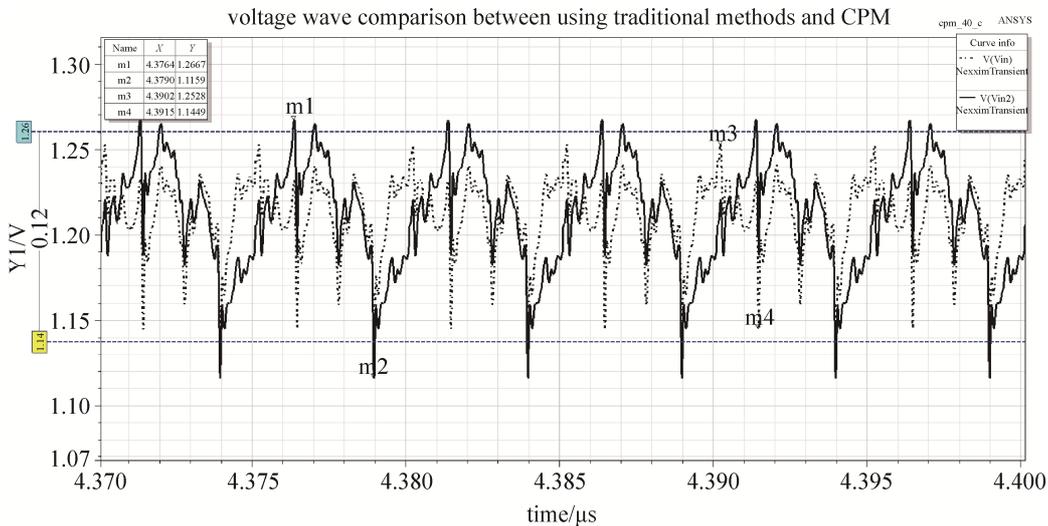


图 6 CORE_1V2 电源 CPS 协同分析的电源时域波形
Fig. 6 The power time domain waveform of CPS cooperative analysis of CORE_1V2 power
此微系统模块产品测试时处理器在不同工作状态下,电源均能稳定工作。

2 基于 CPS 协同的微系统信号完整性设计

2.1 微系统信号完整性设计问题

信号网络设计的难点主要在于这两类:多节点并行总线 and 高速差分串行信号。

多节点并行总线以 DDR 等存储总线为显著代表，地址信号和控制信号从控制器发出到达多个接收存储器。信号路径是一个多因素耦合的系统，拓扑结构、端接匹配、间距、参考路径的设计不良会引起反射、衰减、串扰从而直接影响信号质量。微系统封装内尤其是 TSV 硅基板上，信号宽度和最小间距为 $10\ \mu\text{m}/10\ \mu\text{m}$ ，且布线层数只有三层，除去电源地平面，布线几乎集中在在一层，布线非常密集；等长要求下的绕线更加剧了密集程度，串扰不可忽略。多节点网络采用什么拓扑结构和端接匹配成为互连设计的首要难题^[5,6]。TSV 硅基板上并行总线的版图实例如图 7 所示，左边为控制器与两片存储器互连布线，右边为控制器与三片存储器互连布线。

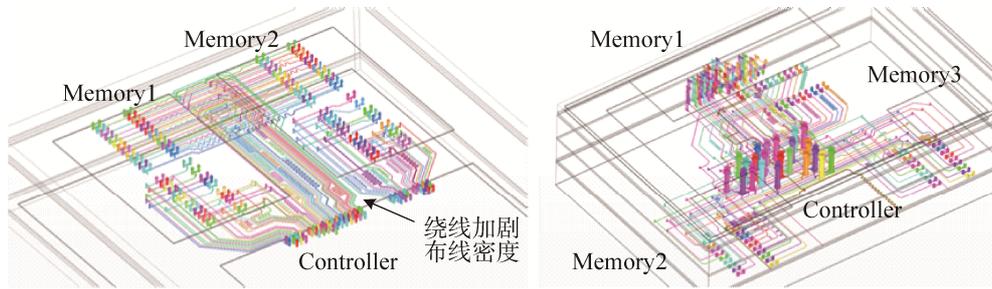


图 7 TSV 硅基板并行总线设计示例

Fig. 7 TSV silicon substrate parallel bus design example

高速差分串行信号，一般采用点对点传输，不存在拓扑结构问题，但信号经常从微系统模块内部的裸芯片发出，经过 TSV 硅基板、微凸点 micro-bump、管壳基板、焊球 solder ball、PCB 走线等多次异质、跨尺度连接到模块外部的 PCB 上的芯片。微系统内部布线虽然与 PCB 相比线长缩短显著，但也与信号的十分之一波长可比拟，不断地进行 3D 结构转换、密集布线带来了不可避免的两条线的差异，以及反射串扰的问题。目前，封装设计以插入损耗和回波损耗来判断封装链路性能，再以理想源进行眼图分析。PCIe、RapidIO 等协议^[7,8]都只给出了全链路插入损耗的标准，封装部分的插损做到什么量级合适，并没有可依据的标准；封装部分的回波损耗并不能代表整个链路的反射特性，因为各部分互连的耦合效应并未考虑；再者，高速串行协议都具有一定的去加重、均衡等算法，对互连通道的信号恶化具有改善作用，在微系统有限的空间内，布线已达到工艺和版图可实现的最佳程度的情况下，高速信号是否还能良好传输，仅靠微系统本身的 S 参数和眼图分析已无法判断。

2.2 CPS 协同的信号完整性设计方法

针对上述微系统信号完整性设计问题，在微系统 TSV 硅基板、管壳封装基板和 PCB 板各层级协同设计优化各自的信号通道，选取芯片端合适的驱动能力、端口阻抗和加重均衡方式。在各层级信号路径和参考路径设计优化下，综合考量通道衰减、阻抗匹配和时序完整，最终达到信号全链路传输质量和访问时序满足要求的目的。

采用基于模型的设计思路，对芯片、各级传输路径模型化。芯片信号模型 CSM (Chip Signal Model) 常用可公开的行为级 IBIS 模型，对于高速串行 Serdes 信号用 IBIS-AMI 算法模型。封装和 PCB 互连路径进行结构参数化设计，并提取 S 参数模型，并考虑各部分间耦合效应，可以通过结构组合建模方式，也可在单独建模时以电磁波的端口激励方式和端口阻抗模拟互连的耦合效应。信号全链路分解设计如图 8 所示。

2.2.1 并行总线的协同设计

基于芯片和封装协同的设计方法，对某 TSV 硅基板的一发三收并行存储总线进行了设计和优化，时钟速率为 400 MHz。首先，对 TSV 硅基板微带线建模，依据金属厚度 $5\ \mu\text{m}$ ，介质厚度 $7\ \mu\text{m}$ 、介电常数 3.5、损耗角正切 0.02，采用场求解器计算出线宽 $10\ \mu\text{m}$ 时特征阻抗为 $56\ \Omega$ ，线宽增大到 $13\ \mu\text{m}$ 时特征阻抗为 $50\ \Omega$ 。但考虑到总线布线密集，依然采用工艺允许的最小线宽 $10\ \mu\text{m}$ 。线长根据芯片尺寸、信号点排布和可实现的布线空间，初步确定总线长在 30 mm 左右。构建如图 9 所示的两级 T 型拓扑结构和 Star 型拓扑结构。

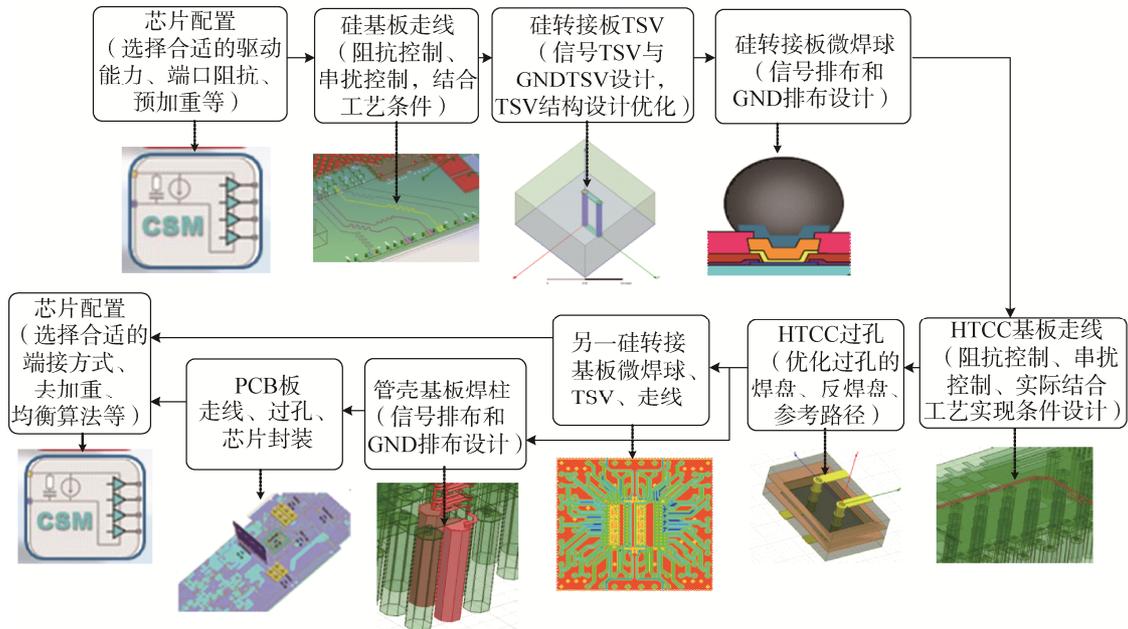


图 8 微系统高速信号全路径设计分解

Fig. 8 Full path design decomposition of high speed signals in microsystem

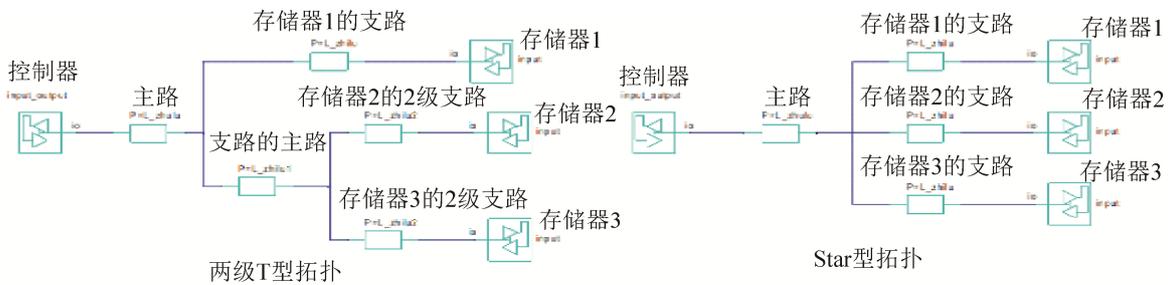


图 9 一发三收拓扑结构

Fig. 9 Topological structure with one transmitter and three receivers

在总线长不变的情况下, 对主路、支路长度进行了扫描分析。两种拓扑结构均表现为随着主路加长支路缩短, 信号波形趋向更好。考虑到布线的可实现性, 取主路、支路长度均为 15 mm。图 10 左边为 T 型拓扑主路 15 mm/二级主路 5 mm/二级支路 10 mm, T 型拓扑主路 15 mm/二级主路 10 mm/二级支路 5 mm, 和 Star 型拓扑主路 15 mm/支路 15 mm 三种拓扑的结果对比。T 型拓扑主路 15 mm/二级主路 5 mm/二级支路 10 mm 和 Star 型拓扑主路 15 mm/支路 15 mm 均可满足高低电平要求。实际版图选用两级 T 型拓扑, 采用 3D 场求解器提取总线 S 参数模型, 结合芯片 IBIS 模型构建信号全链路。在发送芯片 IO 端口 7 种不同电特性下, 接收端信号波形如图 10 右所示, 硬件系统选用波形最佳的芯片配置。

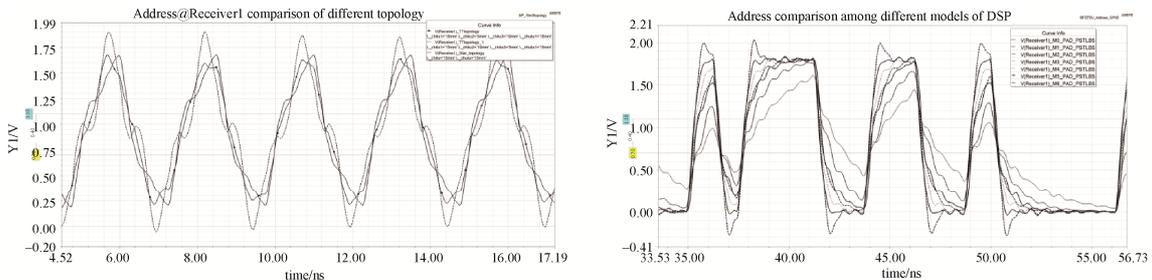


图 10 两级 T 型拓扑和 Star 型拓扑的波形对比 (预仿真)

Fig. 10 Waveform comparison between two-stage T-type topology and Star-type topology (pre-simulation)

实际测试中芯片不同配置下，并行存储的功能稳定性确与仿真结果一致。可见，在硅基板的走线拓扑结构、间距、端接匹配已经无法再优化的情况下，结合信号的电特性配置，依然可以实现信号的良好传输。

2.2.2 高速串行总线的协同设计

以某微模块的 3.125 Gbps 的 RapidIO 信号通道的设计为例。微模块由三个 TSV 硅基板堆叠而成，三层硅基板之间通过焊球连接，如图 11 所示。RapidIO 信号从最上层裸芯片端引出，不断经过 TSV、焊球转换到达最下层微模块引出焊球；第 1 层和第 3 层 TSV 基板上走线分别 3 mm 左右，第 2 层硅基板走线 200 μm。

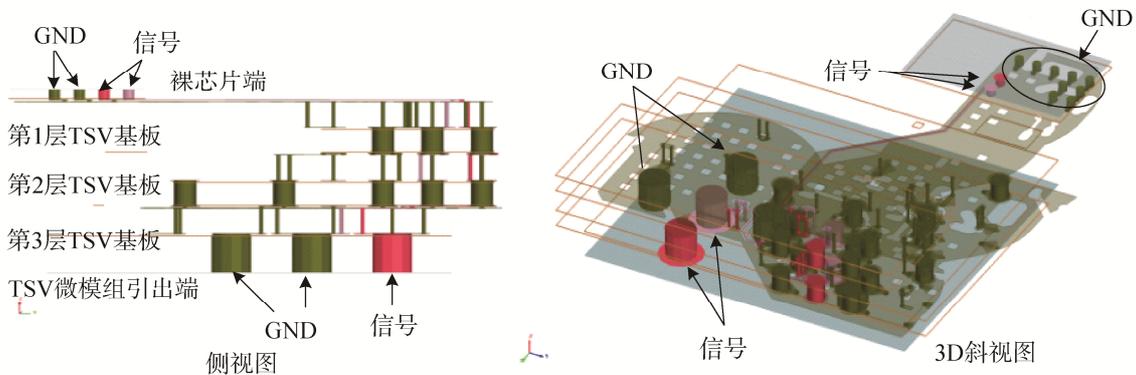


图 11 三层 TSV 硅基板堆叠微模组的高速差分信号路径设计

Fig. 11 High speed differential signal path design of three layer TSV silicon substrate stacking micro module

为减小信号转换引起的反射损耗，在信号周围设计 GND TSV 和焊球作为垂直参考路径；在工艺和布线空间的约束下，优化 TSV 孔焊盘^[9]，优化走线宽度使传输线阻抗达到了 95 Ω。优化前后信号通道的差分 S 参数对比如图 12 所示，3.125 GHz 频率处插损减小了 0.22 dB；回损在 6.25 GHz 频率以下从 -8 dB 降到了 -9.33 dB。由于回损依然较高，是否能满足微模块再次封装后的板级应用，仅靠这个 S 参数结果很难判断。

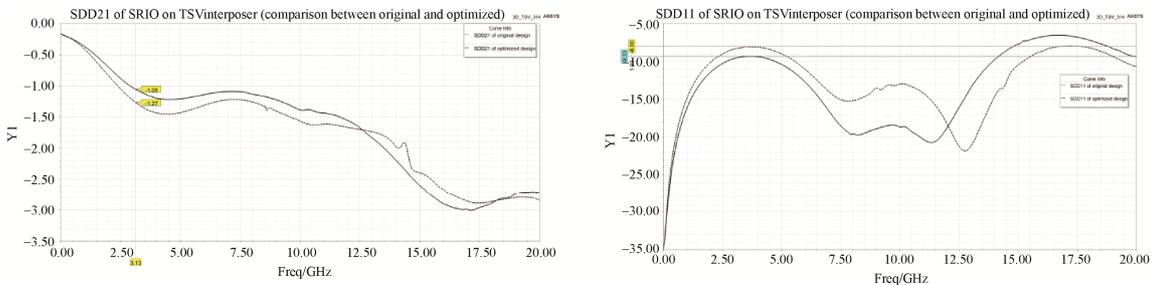


图 12 微模组的高速差分信号通道 S 参数性能优化

Fig. 12 Performance optimization of S parameter in high speed differential signal channel of micro-module

本文采用基于 CPS 协同的设计仿真方法，对微模块 HTCC 管壳封装和测试 PCB 板均进行通道 S 参数建模，并采用芯片的 IBIS-AMI 模型，构建了“芯片—微模组—HTCC 管壳—芯片”的微系统信号链路，以及“芯片—微模组—HTCC 管壳—测试 PCB—HTCC 管壳—微模组—芯片”的全信号链路。其中，PCB 通道除微系统测试板的 2 cm 走线外，又增加了 12 cm 的实际 PCB 走线，PCB 走线阻抗 100 Ω。如图 13 所示，对两个链路的接收信号眼图进行了对比，两个眼图均满足 RapidIO 眼图要求，随着应用 PCB 的加入，眼高衰减了 376.8 mV，眼宽减小了 21.32 ps，眼图上升边沿增加了 51.77 ps，眼图下降边沿增加了 52.65 ps。微模组的封装和板级应用设计可依此为参考。

3 结束语

本文提出了基于 CPS 协同的微系统电源信号完整性设计方法，对于 PDN 设计，采用芯片 CPM 模

型可以精确地优化微系统封装的高频去耦电容; 微系统封装与 PCB 协同, 多层级综合去耦, 将部分中低频去耦电容移至去耦空间更大的 PCB 板, 节约微系统封装的空间并给出了微系统模块板级应用的去耦指导原则。微模组的高速串行通道设计, 仅依靠 S 参数很难衡量设计的性能。在工艺和布线密度约束下, 采用芯片、微模组、管壳、PCB 协同的设计方法, 可以更加精确地判断微模组系统应用的性能, 提出系统应用约束, 且不对微模组版图和工艺提出过高的难度。

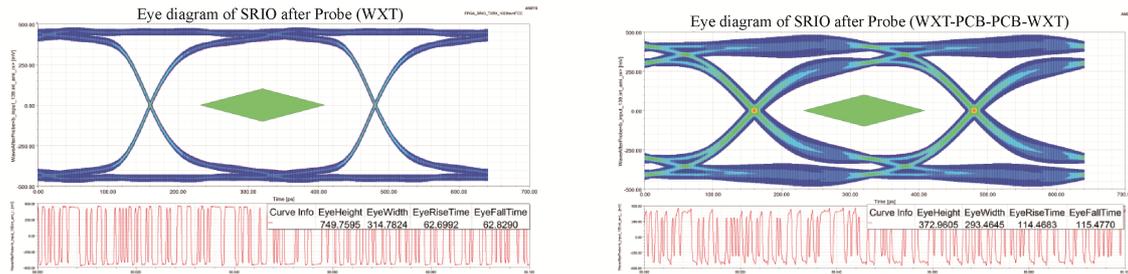


图 13 接收芯片的高速串行信号眼图 (微系统 VS 系统)

Fig. 13 High speed serial signal eye diagram of receiving chip (microsystem VS system)

参考文献

- [1] 于争. 信号完整性揭秘于博士 SI 设计手记[M]. 北京: 机械工业出版社, 2016.
- [2] BOGATIN E. 信号完整性与电源完整性分析[M]. 李玉山, 刘洋, 初秀琴, 等译. 北京: 电子工业出版社, 2015.
- [3] CHEN J, KANAMOTO T, KANDO H, et al. An on-chip load model for off-chip PDN analysis considering interdependency between supply voltage, current profile and clock latency[C]//IEEE workshop on SPI, 2018.
- [4] SANNA A, GRAZIOSI G. Optimization of on-package decoupling capacitors considering system variables[C]//IEEE workshop on SPI, 2018.
- [5] 王文磊, 陈章进, 季渊, 等. 存储器与 FPGA 接口互连的信号完整性设计[J]. 工业控制计算机, 2019, 32(2): 1-6.
- [6] CHO K, KIM Y, LEE H, et al. Signal integrity design and analysis of silicon interposer for GPU-memory channels in high-bandwidth memory interface[J]. IEEE Transaction on Components, Packaging and manufacturing Technology, 2018, 8(9): 1658-1671.
- [7] RapidIO™. Interconnect specification part 6: LP-serial physical layer specification rev.2.2, 2011[EB/OL]. https://rapidio.org/files/SerialSpec_v_1pt2.pdf.
- [8] PCI Express®. Base specification revision 2.0, 2006[EB/OL] https://www.cl.cam.ac.uk/~djm202/pdf/specifications/pci/PCI_Express_Base_Rev_2.0_20Dec06a.pdf.
- [9] 罗会容, 何文浩. 反焊盘设计及其对差分过孔高频特性影响分析[J]. 江汉大学学报(自然科学版), 2018, 4(5): 390-394. LUO Huirong, HE Wenhao. Antipad design and its influence on high frequency characteristics of differential vias[J]. Journal of Jiangnan University(Natural Science Edition), 2018, 4(5): 390-394.
- [10] 谢拥军, 刘莹, 丁海强, 等. HFSS 原理与工程应用[M]. 北京: 科学出版社, 2009.

[作者简介]

- 王艳玲 1984 年生, 硕士, 研究员, 硕士生导师, 主要研究方向为 TSV 微系统电磁特性建模、TSV 硅基 PDK 提取、芯片封装系统协同的电源完整性和信号完整性分析。
- 杨宇军 1972 年生, 博士, 研究员, 博士生导师, 主要研究方向为 TSV 微系统的多学科协同设计仿真、三维集成封装工艺和可靠性研究。
- 袁金焕 1978 年生, 硕士, 高级工程师, 主要研究方向为三维集成封装和 PCB 板级封装系统的电源完整性和信号完整性设计仿真。
- 杨巧 1989 年生, 硕士, 工程师, 主要研究方向为三维集成封装版图设计, 三维集成封装和 PCB 板级系统的信号完整性设计仿真。