

抗辐照通用扩展 SiP 芯片设计

毛 臻¹, 程利浦², 蒋长顺¹, 马加林¹

(1 中国电子科技集团公司第五十八研究所 无锡 214035)

(2 上海航天计算机技术研究所 上海 201109)

摘要: 研究微小卫星综合电子系统的 SiP 技术实现方法。首先介绍微小卫星综合电子系统结构的组成和采用 SiP 技术的必要性, 然后对综合电子系统进行功能模块划分, 并对其通用扩展模块进行详细的 SiP 设计, 包括抗辐照器件选型、原型验证、SiP 原理图、基板管壳一体化设计、建模仿真、制造加工、实装测试验证等, 通过 SiP 技术实现了一种星载综合电子系统中通用扩展 SiP 芯片产品, 经过实际验证测试, 在保证模块功能和性能的前提下, 整体模块重量从 230 g 减轻到 48 g, 体积由 180 mm×130 mm×17 mm 减小到 46 mm×46 mm×8 mm, 很好地满足了星载功能模块小型化、轻量化设计需求。

关键词: 微小卫星; 微系统; 抗辐照; 通用扩展

中图分类号: TN7 文献标识码: A 文章编号: CN11-1780(2021)05-0014-06

DOI: 10.12347/j.ycyk.20210513001

引用格式: 毛臻, 程利浦, 蒋长顺, 等. 抗辐照通用扩展 SiP 芯片设计[J]. 遥测遥控, 2021, 42(5): 121-126.

Radiation-resistant universal and extensible chip based on SiP

MAO Zhen¹, CHENG Lifu², JIANG Changshun¹, MA Jialin¹

(1. China Electronics Technology Group Corporation No.58 Research Institute, Wuxi 214035, China)

(2. Shanghai Aerospace Electronic Technology Institute, Shanghai 201109, China)

Abstract: This paper proposed the System in Package technology implementation about integrated electronic system in micro-satellite. Firstly, the composition of integrated electronic system in micro-satellite has been introduced. Then the necessity of System in Package application in micro-satellite has been proposed. The general extension module in the satellite-based electronic system has been realized through dividing the overall system into functional modules, then detailed design have been carried out about the module. After verification, all function have been realized. At the same time, the overall module weight have been reduced from 230 g to 48 g, and the volume has been reduced from 180 mm×130 mm×17 mm to 46 mm×46 mm×8 mm, which satisfies the requirements of miniaturization and lightweight design of the micro-satellite.

Key words: Micro-satellite; System in Package; Radiation-resistant; General extension module

DOI: 10.12347/j.ycyk.20210513001

Citation: MAO Zhen, CHENG Lifu, JIANG Changshun, et al. Radiation-resistant universal and extensible chip based on SiP [J]. Journal of Telemetry, Tracking and Command, 2021, 42(5): 121-126.

引 言

近年来, 空间任务日益呈现出多样性和复杂性的特点, 传统大卫星及其研制模式成本高、周期长, 已经不能满足各行各业对空间技术日益增长的应用需求。使用 SiP (System in Package) 技术构建星载综合电子系统, 一方面可以充分利用国产化宇航元器件的研发成果, 实现星载综合电子系统核心部件的自主可控, 另一方面能够满足微小卫星对综合电子平台的应用需求, 将面向大卫星的成熟设计转换到微小卫星上, 拓展综合电子技术的应用领域^[1-4]。

1 综合电子系统功能模块划分

卫星平台综合电子分系统主要由管理单元和扩展单元组成, 其中, 管理单元内部功能模块配置包括信道关口模块、时基&串行 IO 模块、通用处理器模块、指令模块、遥测采集模块、二次电源与配电模块等 6 种模块。扩展单元内部功能模块配置包括时基&串行 IO 模块、遥测采集模块、指令模块、大电流指令模块、加热器驱动模块、二次电源与配电模块等功能模块^[5]。

通过 SiP 技术把时基&串行 IO 模块、指令模块、遥测采集模块集成到一个芯片中, 该芯片可称为通用扩展 SiP 芯片。该 SiP 芯片主要应用于综合电子分系统的管理单元、扩展单元等通用接口设计, 实现单机内或者单机间的控制信息的路由转发和遥测信息的收集功能, 包括接收管理单元指令信息、解析并响应相关的指令、实现 OC 门驱动输出、实现 DA 输出, 提供整星需要的各模拟量遥测信息等功能。当解析到遥测请求数据时, 返回各模块自身遥测数据。电路整体功能如图 1 所示。

2 高密度通用扩展 SiP 芯片设计

根据 SiP 芯片构架设计需求, 进行裸芯片等原材料采购与入库评价检验, 在 SiP 芯片设计前采用对应的成品芯片进行原型验证, 以验证 SiP 芯片元器件选型与 SiP 芯片电路性能指标是否满足系统需求。在原型验证通过后, SiP 芯片封装基于 WireBonding 封装设计与仿真(包括电源信号完整性仿真、热仿真、应力仿真等), 在保证有足够设计余量的前提下进行 SiP 芯片封装加工^[6]。在设计完成后, 进行本项目产品电路原材料的采购与评价, 系统 3D-集成封装设计和仿真, 初样产品封装、测试与可靠性摸底试验, 电路优化设计和正样产品封装、测试与可靠性摸底试验, 最终鉴定产品批封装、测试交付用户。电路研制流程如图 2 所示。

2.1 器件选型与 SiP 芯片互连架构设计

高密度通用扩展 SiP 芯片, 采用 FPGA 作为可扩展控制单元, 外围集成缓存芯片和电平转换、模数转换等单元。由于封装材料和结构上暂时没有好的手段进行抗辐照设计, 在裸芯片选型上重点考虑抗总剂量和单粒子特性, 抗总剂量 (TID) ≥ 100 krad (Si), 抗单粒子闩锁阈值 ≥ 75 MeV·cm²/mg 或免疫, 整个 SiP 芯片的抗辐照特性由内部裸芯片选型决定, 裸芯与基板互连采用 WireBonding 工艺和 CCGA 一体化管壳形式进行电路互连, 参照 GJB2438B-2017H 级标准制定产品规范进行产品筛选。

2.2 封装结构设计

封装结构设计的目的是使器件具有合理的结构和机械强度, 满足考核和实际使用中的机械冲击、热冲击、温度循环等对电路可靠性的要求。封装机械结构设计包括结构设计和结构仿真验证两部分内容, 其基本流程是通过设计与仿真的多次循环迭代, 将仿真结果不断反馈给设计人员, 经多次修改与完善, 最终完成封装结构设计。封装设计中要关注的事项主要包括: ① 根据芯片尺寸、pad 尺寸和个数、pad 节距和引脚对应关系等进行封装设计, 封装形式及外形尺寸满足要求; ② 根据芯片尺寸大小确定外壳尺寸, 确保有足够的空间粘接芯片而不对芯片电性能造成影响; ③ 根据 pad 尺寸、节距、引脚对应关系确定键合指排布, 保证芯片上的功能 pad 能够顺利引出, 禁止键合丝交叉现象发生, 同时, 要保证键

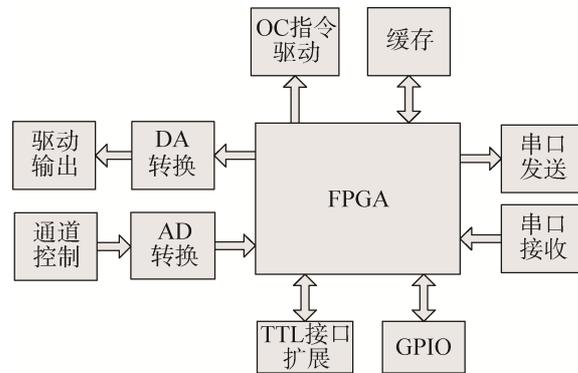


图 1 通用扩展电路整体框图

Fig. 1 The block diagram of universal and extensible module

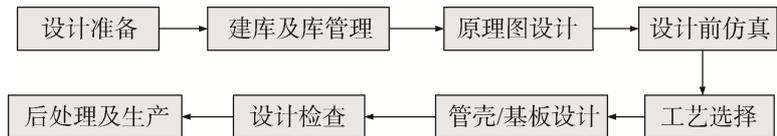


图 2 SiP 芯片研制流程

Fig. 2 The research process of System in Package

合指台阶宽度能够完全满足键合要求；④ 确保焊环尺寸设计能与盖板尺寸完全匹配，强度满足器件质量等级要求。通过综合考虑结构设计和仿真验证，结合引脚规划和实际的功能、可靠性要求，管壳设计采用上下双腔，正面平行缝焊，底面做金锡封焊，整体高度小于 10 mm。器件采用 653 引脚陶瓷柱栅阵列 (CCGA) 封装。结合裸芯尺寸，采用具有正反双腔陶瓷外壳的 CCGA653 封装形式，正面集成 4 颗 OC 指令芯片、1 颗 RS-422 收发器、1 颗 SRAM 芯片和电平转换单元及若干阻容，采用平行缝焊；背面集成 1 颗 FPGA、8 颗模拟开关、1 颗 ADC、2 颗 DAC、6 颗运放，采用合金封帽。最终的 SiP 芯片产品机构布局示意如图 3 所示。

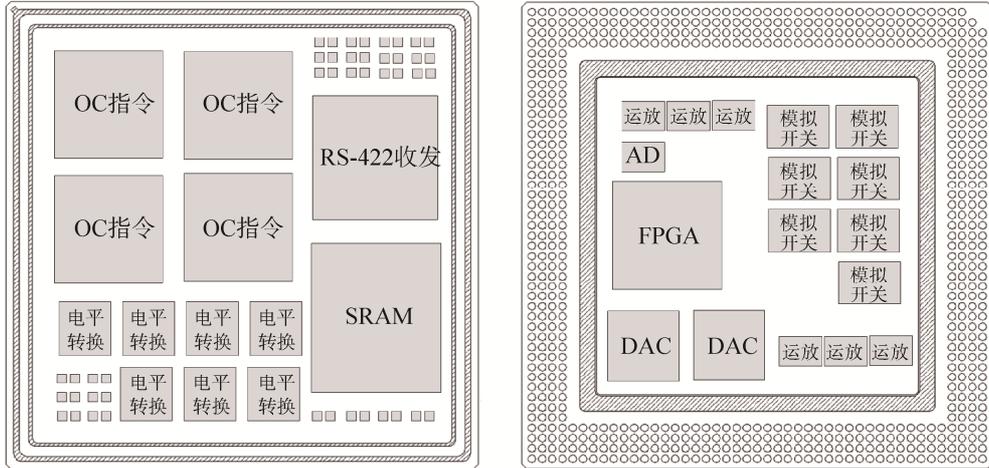


图 3 SiP 芯片封装结构及布局示意图

Fig. 3 Package structure and layout diagram of SiP chip

裸芯片 pad 全部以 WB 方式键合引出。封装尺寸 46 mm×46 mm×8 mm，背面采用大面积金属并通过通孔进行散热，将封装体内部热量导出，使系统温度保持在一定范围内，保证系统的正常运行。

2.3 引脚规划

由于裸芯片数量多，管壳采用上下双腔一体化设计，根据系统整体引出功能脚进行规划并结合下腔体结构进行引脚布局，最终设计引脚分布如图 4 所示。

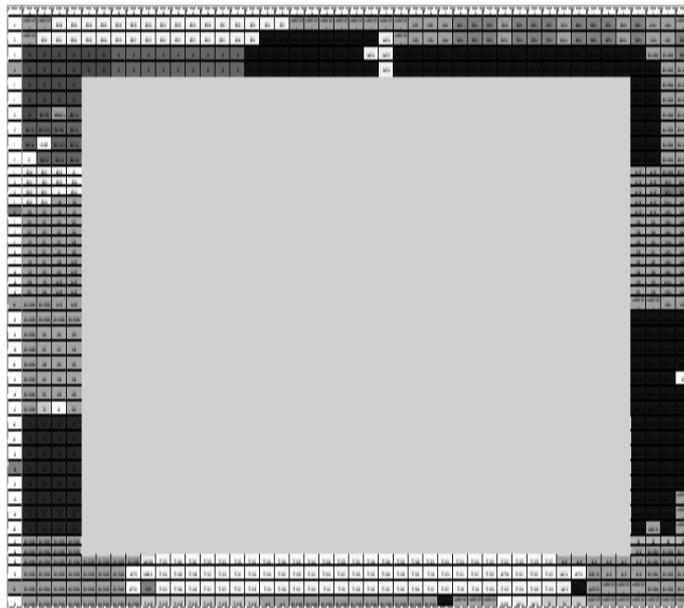


图 4 电路引脚俯视图

Fig. 4 Top view of pinout diagram

根据 SiP 芯片功能引脚要求, 除实际使用功能引脚外, 预留内部互联测试引脚 11 个, 保留 NC 引脚 30 个和单独 FPGA 输出的通用 GPIO 等, 方便后期进行系统测试、系统扩展和功能调整。整个 SiP 芯片的引脚规划见表 1。

表 1 电路引脚说明
Table 1 Pin description of SiP

序号	连线/接口名称	说明	连线数量
1	ADC_IN	128 路 ADC 输入接口	128
2	DAC_OUT	8 路 DAC 输出接口	8
3	RS422_INOUT	16 收 16 发串并转换接口	64
4	TTL_OUT	80 路 TTL 输出	80
5	CLK&RESET&PROM&JTAG	时钟输入, 复位输入, PROM, JTAG 接口	24
6	OC_OUT	64 路指令驱动	64
7	VCC&GND	电源地引脚	204
8	TEST	测试引脚	11
9	GPIO	FPGA 引出预留 GPIO	40

2.4 SiP 芯片仿真

在环境温度为 $-55^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 条件下, 对 SiP 芯片整体结构进行自然散热仿真模拟^[7], 其中, SiP 芯片静态总功耗为 10.222 W, 占空比为 0.5。已知硅芯片的失效温度为 175°C (考虑仿真误差, 一般将结温控制在 150°C 以内)。仿真结果显示, 环境温度为 $-55^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 时, 硅芯片均不会失效, SiP 芯片能正常运行。这里仅给出 125°C 条件下的热仿真图片, 如图 5 所示。

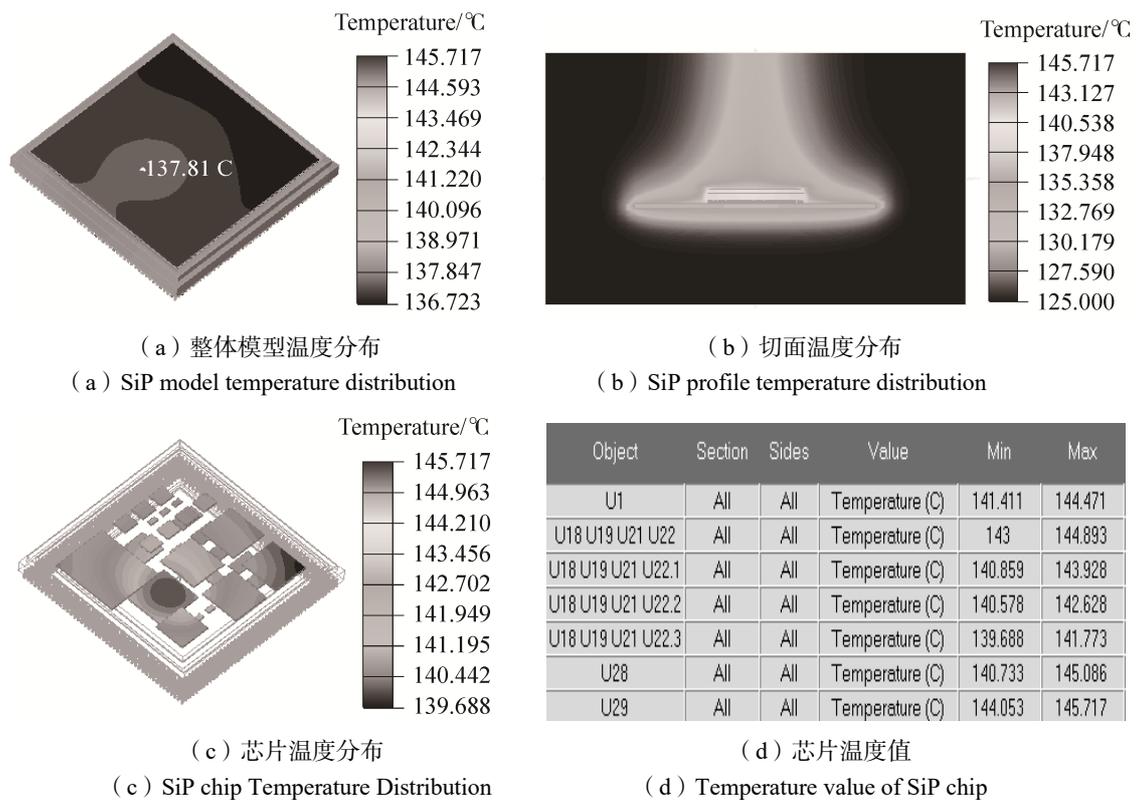


图 5 环境温度 125°C 时 SiP 芯片热仿真结果

Fig. 5 The SiP chip thermal simulation results at 125°C ambient temperature

2.5 产品实物对比

从图6所示可以看到,最终通过SiP技术,把通用扩展功能单元体积由板级的180 mm×130 mm×17 mm减小到系统级封装实物的46 mm×46 mm×8 mm,重量从230 g减轻到48 g。

2.6 测试与验证

实装测试自动化设计思路是在原理样机基础上,把涉及SiP芯片部分的电路提取出来,在实装系统设计时,采用测试插座安装SiP芯片电路,供电电路尽量参考原理样机,外围接口的激励能在板上集成尽量在板上集成,如不能板上集成,尽量考虑有控制接口如GPIB的外围仪器(方便自动测试),需要监控SiP芯片各路供电电压电流的在回路中增加电压电流监测模块,芯片选型尽量与目标SiP芯片的三温能力一致,如无法满足要求,则优先考虑热流罩,注意预留热流罩的空间,方便后期测试。实际使用时,PROM为反熔丝器件,故板上设计采用PROM的插座,方便更换,实装测试系统原理框图如图7所示。

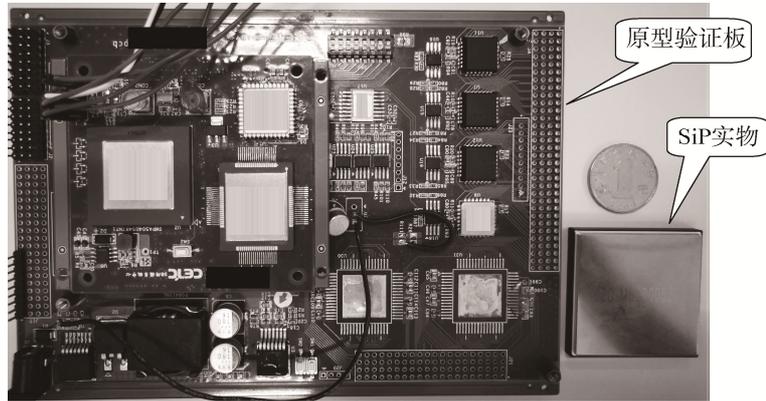


图6 原型验证板和SiP芯片实物对比图
Fig. 6 The comparison diagram of prototype verification board and SiP chip

实际使用时,PROM为反熔丝器件,故板上设计采用PROM的插座,方便更换,实装测试系统原理框图如图7所示。

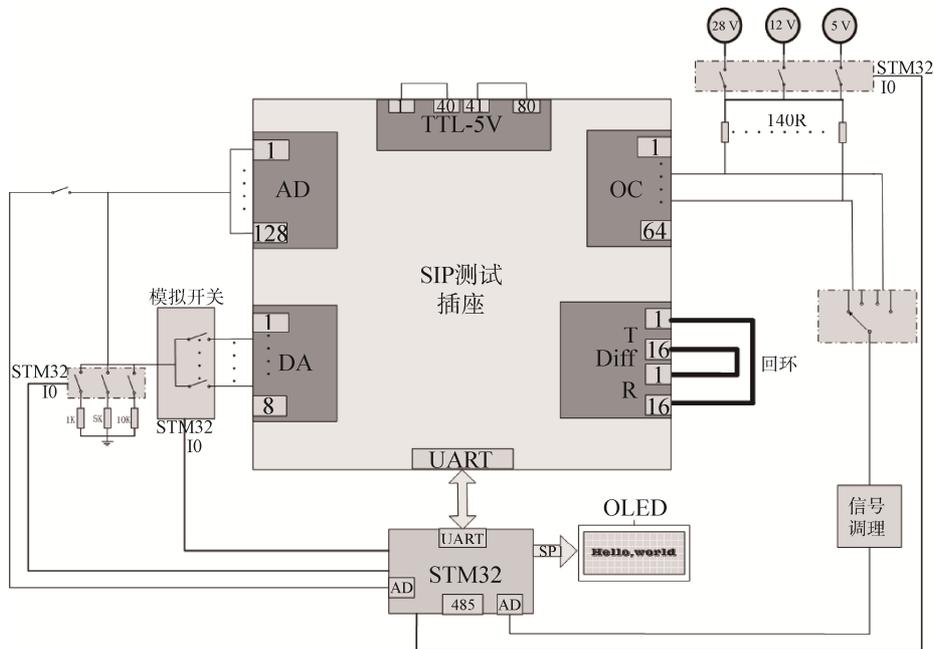


图7 实装测试系统原理框图
Fig. 7 The block diagram of actual assembly test system

测试分为SiP芯片自测试和实装测试两部分。通过在实装测试板上将SiP芯片产品的AD-DA进行回环测试,DA部分采用继电器或干簧管进行负载切换,差分-单端/单端-差分的回环进行自测试,OC门部分采用继电器或干簧管进行负载切换,同时,实装板上也设计了外部的激励,方便在SiP芯片写入实际应用程序后进行实装测试,测试情况见表2。

系统测试软件部分功能主要包括了对AD、DA、FPGA、PROM、SRAM、OC门、单端-差分、差分-单端芯片功能的测试,所有功能的检测都将集成在FPGA内进行测试。实装测试板实物如图8所示。

表 2 实装测试情况表
Table 2 Assembly test description of SiP chip

序号	测试项	测试方法	结果
1	FPGA 在线调试和烧写	通过 ISE11 开发软件对 FPGA 进行在线调试, 对 PROM 配置芯片进行烧写操作。通过可视化的功能模块检测芯片运行状态	OK
2	AD 采样输入	ADC 输入 0~3.3 V ($\Delta 0.5$ V), FPGA 通过 Chipscope 查看十六进制 (12 bit) 共 128 路	OK
3	DA 输出	DA 输出 0~5 V, 带载 1 K/5 K/10 K ($\Delta 0.5$ V), 误差不超过 4 个码字, 共 8 路	OK
4	TTL 输出	TTL 测试, FPGA 输出方波 5 V, 100 K/1 M/10 M 共 64 路	OK
5	OC 门输出	OC 指令输出, 140 Ω 上拉, 方波 28 V/12 V/5 V, 低电平电压	OK
6	差分输入输出	差分-单端/单端-差分, 上位机发出指令字过样机后回环接收, 收 16 路/发 16 路	OK
7	PROM 烧写	串行烧写, 并行烧写, 功能验证, 回读验证, DONE 指示灯观察	OK
8	FPGA 在线调试和烧写	通过 ISE11 开发软件对 FPGA 进行在线调试, 对 PROM 配置芯片进行烧写操作。通过可视化的功能模块检测芯片运行状态	OK
9	AD 采样输入	ADC 输入 0~3.3 V ($\Delta 0.5$ V), FPGA 通过 Chipscope 查看十六进制 (12 bit) 共 128 路	OK

3 结束语

应用 SiP 技术将各个功能单板, 甚至是单机进行模块化设计后, 可以有效提高系统的集成度, 从而减小系统的体积、质量和能耗, 同时使得应用系统电路板变得更加简洁, 简化了系统结构。随着航天产品对于小型化、高可靠性平台以及进一步缩短研制周期、降低研制成本的需求越来越大, SiP 技术已经成为未来航天电子系统的主流发展方向。

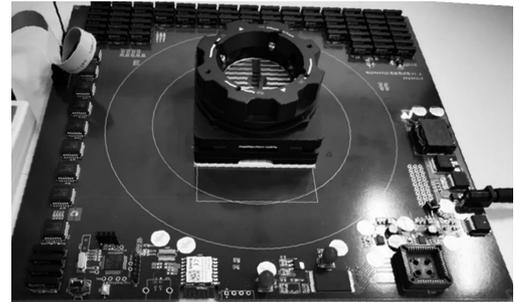


图 8 实装测试板实物图

Fig. 8 The assembly test board of SiP chip

参考文献

- [1] 王珍. 未来小卫星综合电子系统发展设想[C]//第十五届中国航天电子技术研究院学术交流会优秀论文集, 2018.
- [2] 陈世森, 倪淑燕, 廖育荣. 微小卫星综合电子系统综述[J]. 空间电子技术, 2020, 17, 191(5): 86-91.
CHEN Shimiao, NI Shuyan, LIAO Yurong. Summary of integrated electronic systems of microsatellite[J]. Space Electronic Technology, 2020, 17(5): 86-91.
- [3] 梁洁玫, 刘鸿瑾, 吴军, 等. 微小卫星综合电子系统发展趋势[C]//中国宇航学会计算机应用专业委员会 2013 年度技术交流会, 2013.
- [4] 黄虎, 李华, 孔勇, 等. 基于 SiP 技术的空间飞行器综合电子系统[J]. 电子与封装, 2016, 16(9): 6-9, 27.
HUANG Hu, LI Hua, KONG Yong, et al. SiP-based integrated electronic system of spacecraft[J]. Electronics & Packaging, 2016, 16(9): 6-9, 27.
- [5] 李孝同, 施思寒, 李冠群. 微小卫星综合电子系统设计[J]. 航天器工程, 2008, 4(1): 30-35.
LI Xiaotong, SHI Sihan, LI Guanqun. Integrated electronics system of micro-satellite[J]. Spacecraft Engineering, 2008, 4(1): 30-35.
- [6] 王良江, 杨芳, 陈子逢. 高密度 SIP 设计可靠性研究[J]. 电子与封装, 2014, 14(4): 45-48.
WANG Liangjiang, YANG Fang, CHEN Zifeng. The Study of high-density SIP design's reliability[J]. Electronics & Packaging, 2014, 14(4): 45-48.
- [7] 李扬, 刘杨. SiP 系统级封装设计与仿真[M]. 北京: 电子工业出版社, 2012.

[作者简介]

- 毛 臻 1979 年生, 硕士, 高级工程师, 主要研究方向为微系统技术和嵌入式系统。
程利甫 1985 年生, 硕士, 高级工程师, 主要研究方向为星载微系统及计算机技术。
蒋长顺 1974 年生, 硕士, 高级工程师, 主要研究方向为微电子封装技术。
马加林 1988 年生, 硕士, 高级工程师, 主要研究方向为软件技术研发。

(本文编辑: 杨秀丽)