

基于反熔丝型 FPGA 的有效载荷可重构技术*

张秀宁, 刘 斌, 李 澎, 史江博
(北京遥测技术研究所 北京 100076)

摘要: 针对在轨卫星功能维护、扩展和更新的需求, 设计一种星载 FPGA 可重构方法。通过硬件三模冗余、软件三模比对, 提高星载信号处理 FPGA 配置的可靠性; 通过地面向卫星配置 FPGA 发送擦除、写、读指令, 实现星载配置数据存储 FLASH 芯片的擦除、写、读操作, 从而实现星载信号处理 FPGA 的重构, 进而可以实现有效载荷功能的在轨更新或升级, 减少硬件重复开发, 降低成本。

关键词: 可重构; 硬件三模; 软件三模; 配置 FPGA

中图分类号 TN927+.3 文献标识码: A 文章编号: CN11-1780(2021)06-0065-06

DOI: 10.12347/j.ycyk.20200824001

引用格式: 张秀宁, 刘斌, 李澎, 等. 基于反熔丝型 FPGA 的有效载荷可重构技术[J]. 遥测遥控, 2021, 42(6): 65-70.

Payload reconfigurable technology based on antifuse FPGA

ZHANG Xiuning, LIU Bin, LI Peng, SHI Jiangbo
(Beijing Research Institute of Telemetry, Beijing 100076, China)

Abstract: This paper designs a kind of on-board FPGA reconfigurable method, improves configuration reliability of onboard signal processing FPGA by making use of hardware three-mode redundancy and software three-mode comparison. By sending the erase, write and read instructions to the satellite configuration FPGA, the erase, program and read for the onboard data storage FLASH are realized, so as to realize the reconfiguration of the onboard signal processing FPGA, and then realize the on-orbit update or upgrade of the payload function, reduce the repetitive development of hardware and the cost.

Key words: Reconfiguration; Hardware three-mode; Software three-mode; Configuration FPGA

DOI: 10.12347/j.ycyk.20200824001

Citation: ZHANG Xiuning, LIU Bin, LI Peng, et al. Payload reconfigurable technology based on antifuse FPGA[J]. Journal of Telemetry, Tracking and Command, 2021, 42(6): 65-70.

引 言

传统星载信号处理 FPGA 选用 SRAM 型 FPGA, 其配置文件存储在反熔丝型 PROM 中, 具备一次烧写特性, 即星载设备在轨运行后, 无法对其配置文件进行维护或更新。若需要在轨验证新技术, 就必须发射一颗新卫星, 建造发射成本较高, 所需时间较长。随着在轨运行航天器数目的增多, 空间环境日益复杂, 星载设备受到外界干扰出现故障的概率增加。基于以上考虑, 研发 FPGA 在轨可重构技术迫在眉睫, 具有重要的国家战略意义^[1-3]。

为了节省人力、物力、财力成本, 考虑通过软件更新的方式来实现卫星在轨功能的维护、扩展或更新。通过软件升级, 可对既有功能进行完善, 或者提高其性能、修复其故障等。卫星有效载荷工作在复杂多变、环境恶劣的空间环境中, 星载电子设备容易受到单粒子翻转及单粒子功能中断 SEFI (Single Event Function Interrupt) 等空间环境的影响而功能失效^[4-6]。在轨可重构技术可以通过重新配置信号处理 FPGA 实现星载电子设备功能的恢复, 达到提高星载电子设备可靠性的目的。

本文提出一种 FPGA 在轨可重构方法, 实现卫星功能的在轨切换与在轨功能更新, 在一个硬件平台

*基金项目: 中国航天科技集团自主研发项目“卫星中继用户终端子系统”
收稿日期: 2020-08-24 收修改稿日期: 2021-01-08

上实现多种功能, 避免了硬件重复开发, 加快了新技术的验证。此外, 当星载电子设备受到空间环境辐照或单粒子翻转的影响发生故障不能正常工作时, 地面可以向配置 FPGA 发送重新配置指令, 恢复信号处理 FPGA 的功能, 延长星载电子设备的使用寿命^[7,8]。配置信号处理 FPGA 时, 配置 FPGA 同时读取三片 FLASH 中的数据, 进行三模比对后, 输出给信号处理 FPGA, 可提高配置成功率。配置 FPGA 采用反熔丝型 FPGA, 具有程序掉电不丢失特性。

1 硬件设计

FPGA 在轨可重构硬件设计如图 1 所示。配置文件存储在并行 FLASH 芯片中, 每个并行 FLASH 芯片可以存储若干份配置文件, 三个并行 FLASH 芯片实现硬件三模冗余的功能。FLASH 芯片存储区域分为两部分, 一部分在卫星发射前存储配置文件, 称为静态存储区, 另一部分在卫星发射后, 由地面上注配置文件, 称为动态存储区。静态存储区和动态存储区均可存储若干份配置文件。配置 FPGA (反熔丝型 FPGA) 接收地面发送的可重构指令运行相应的功能。可重构指令有两类: ① 指明配置文件序号, 配置 FPGA 将对应的配置文件从 FLASH 芯片中读出, 并配置给信号处理 FPGA。② 首先发送擦除指令, 擦除相应的动态存储区, 其次发送写指令, 并上注配置文件, 最后发送读指令, 将地面上注的配置文件配置给信号处理 FPGA。配置 FPGA 定时监测信号处理 FPGA 的工作状态, 若异常, 则重新配置^[9-11]。

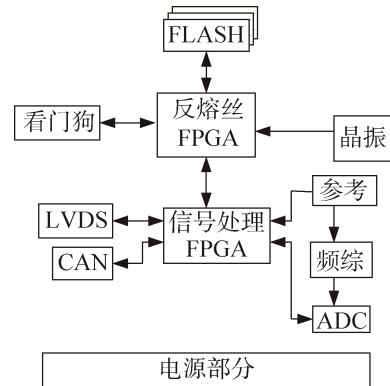


图 1 FPGA 在轨可重构硬件设计框图
Fig. 1 Block diagram of FPGA on-orbit reconfigurable hardware design

配置 FPGA 充当单粒子效应防护的控制单元, 其可靠性要求较高, 因此选择对单粒子效应不敏感的 FPGA 器件, 能够满足其可靠性要求。信号处理 FPGA 的单粒子功能中断 SEFI 现象可通过其内部的配置控制寄存器以及一部分配置状态信号表现出来。通过检测配置控制寄存器及配置状态信号能够实现对 SEFI 的检测。当检测到 SEFI 时, 需要将信号处理 FPGA 进行全局重配置并进行修复^[12,13]。

2 软件设计

采用结构化程序设计方法, 根据功能划分程序模块, 当需求发生变化, 可以只改对应的程序模块即可。软件功能模块如图 2 所示, 主要包括复位模块、工作流程控制模块、FLASH 控制模块、信号处理 FPGA 配置模块。各模块功能如下。

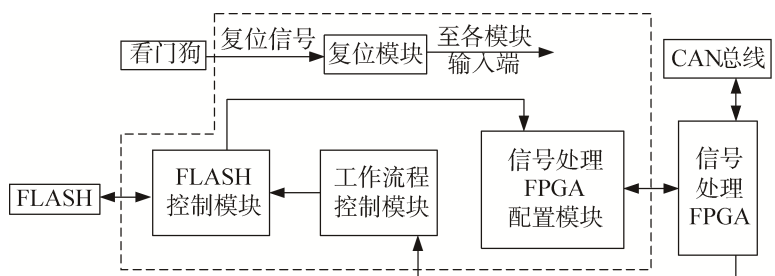


图 2 软件功能模块框图
Fig. 2 Block diagram of software function module

① 复位模块

复位模块产生各模块需要的复位信号, 保证配置 FPGA 在加电运行时定义的信号及变量有固定的初始值。

② 工作流程控制模块

工作流程控制模块根据接收到的遥控指令, 向 FLASH 控制模块发送擦除、写或者读指令, 以及相应的起始地址。工作流程控制模块定时监测信号处理 FPGA 的 DONE 信号, 若异常, 则重新配置信号处理 FPGA。工作流程控制模块定时回读信号处理 FPGA 的状态信号寄存器或帧地址寄存器, 若校验错误连续达到 3 次时, 重新配置信号处理 FPGA。

③ FLASH 控制模块

FLASH 控制模块控制并行 FLASH 芯片的擦除、写或者读操作, 并将读出的配置数据输出给信号处

理 FPGA 配置模块。

④ 信号处理 FPGA 配置模块

信号处理 FPGA 配置模块主要完成对信号处理 FPGA 的配置功能。

3 FPGA 在轨可重构工作流程

FPGA 在轨可重构分为功能切换与功能更新两种情况。

功能切换工作流程如图 3 所示。

① 地面向星载设备发送加电指令。

② 功能切换时，地面向配置 FPGA 发送配置指令（指明配置静态存储区第几份配置文件）。

③ 接收到读指令后，配置 FPGA 开始配置信号处理 FPGA。

④ 配置完成后，判断信号处理 FPGA 是否工作正常。若工作正常，启动定时监测与 SEFI 检测流程；若工作异常，判断重配置次数是否达到阈值。

⑤ 若达到阈值，则星载设备工作异常，向地面发送星载设备工作异常遥测信息；若没有达到阈值，则转到步骤③。

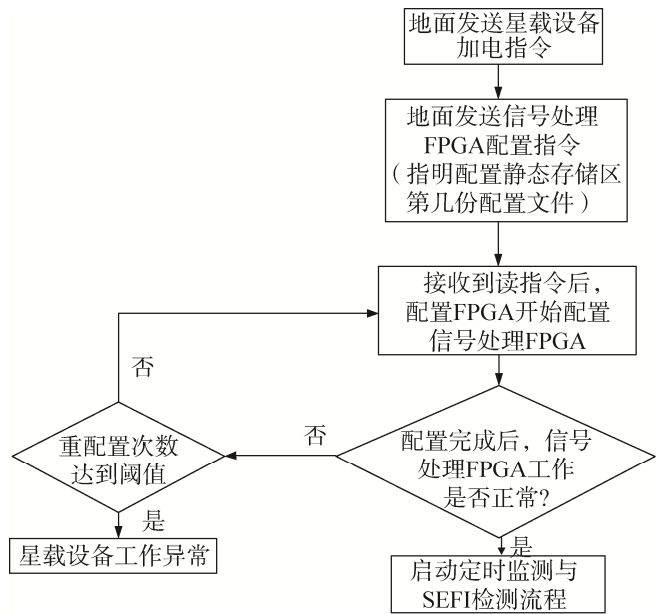


图 3 FPGA 在轨功能切换工作流程图
Fig. 3 Flow chart of FPGA on-orbit function switching work

FPGA 在轨功能更新工作流程如图 4 所示。

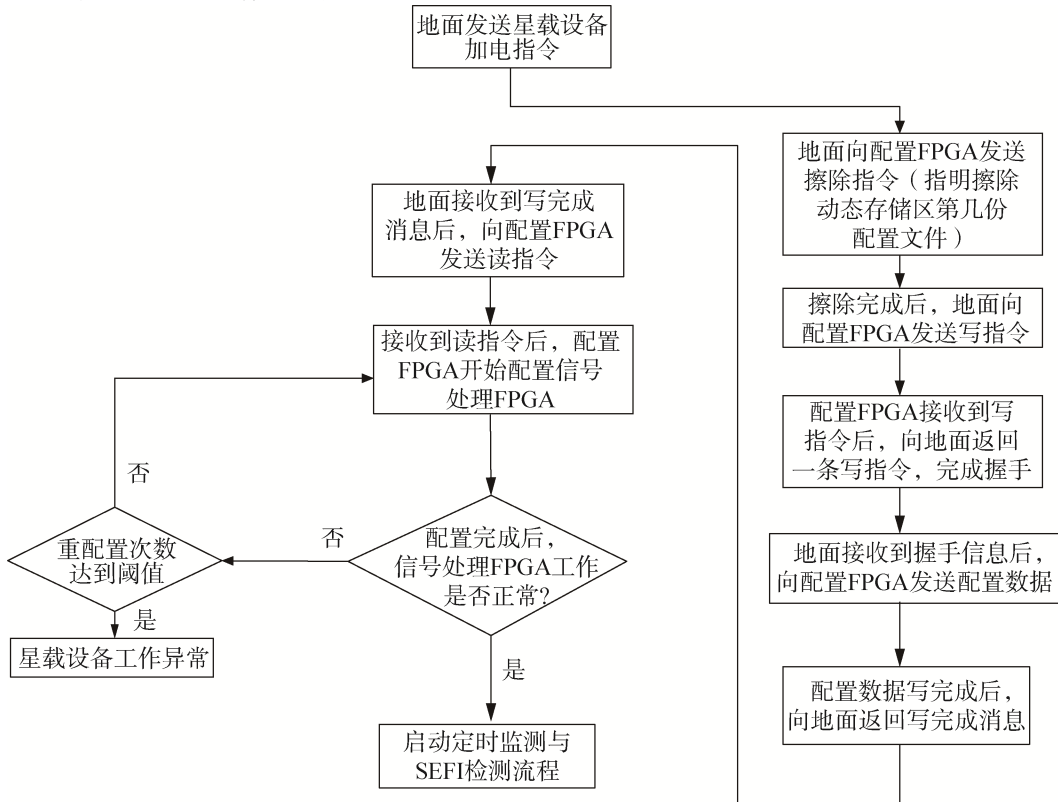


图 4 FPGA 在轨功能更新工作流程图
Fig. 4 Flow chart of FPGA on-orbit function update work

- ① 地面向星载设备发送加电指令。
- ② 地面向配置 FPGA 发送擦除指令 (指明擦除动态存储区第几份配置文件)。
- ③ 擦除完成后, 地面向配置 FPGA 发送写指令。
- ④ 配置 FPGA 接收到写指令后, 向地面返回一条写指令, 完成握手。
- ⑤ 地面接收到握手信息后, 向配置 FPGA 发送配置数据。
- ⑥ 配置数据写完成后, 向地面返回写完成消息。
- ⑦ 地面接收到写完成消息后, 向配置 FPGA 发送读指令。
- ⑧ 接收到读指令后, 配置 FPGA 开始配置信号处理 FPGA。
- ⑨ 配置完成后, 判断信号处理 FPGA 是否工作正常。若工作正常, 启动定时监测与 SEFI 检测流程; 若工作异常, 判断重配置次数是否达到阈值。
- ⑩ 若达到阈值, 则星载设备工作异常, 向地面返回星载设备工作异常遥测信息; 若没有达到阈值, 则转到步骤⑧。

4 确认测试

为了验证设计方法的正确性, 对并行 FLASH 芯片进行擦、写、读, 用 Chipscope 实时抓取 FLASH 芯片控制使能端信号、地址信号与数据信号。控制使能端信号包括 CE、OE、WE, 分别为片选使能、读使能和写使能。时钟频率为 10 MHz, WE 控制的写时序约束如表 1 所示, FLASH 读时序约束如表 2 所示。图 5 为 Chipscope 抓取的块擦除命令时序图 (8 bit 模式), 图 6 为 Chipscope 抓取的写时序图 (8 bit 模式), 图 7 为 Chipscope 抓取的按页读时序图 (8 bit 模式)。通过对比 FLASH 手册要求的时序图与 Chipscope 抓取的时序图, 可以看出, 设计符合手册要求, 能够实现对 FLASH 芯片的擦、写、读。

表 1 WE 控制的写时序约束
Table 1 Write timing constraints controlled by WE

参数	Legacy	JEDEC	最小值	单位
写周期	'WC	-	60	ns
CE#低到 WE#低	'CS	'ELWL	0	ns
WE#低到 WE#高	'WP	'WLWH	35	ns
输入正确到 WE#高	'DS	'DVWH	30	ns
WE#高到输入转换	'DH	'WHDX	0	ns
WE#高到 CE#高	'CH	'WHEH	0	ns
WE#高到 WE#低	'WPH	'WHWL	20	ns
地址正确到 WE#低	'AS	'AVWL	0	ns
WE#低到地址转换	'AH	'WLAX	45	ns
OE#高到 WE#低	-	'GHWL	0	ns

表 2 FLASH 读时序约束
Table 2 FLASH read timing constraints

参数	Legacy	JEDEC	最小值	最大值	单位
地址正确到输出正确	'ACC	'AVQV	-	95	ns
地址正确到输出正确 (按页)	'PAGE	'AVQV1	-	20	ns
CE#低到输出正确	'CE	'ELQV	-	95	ns
OE#低到输出正确	'OE	'GLQV	-	25	ns
CE#高到输出高阻	'HZ	'EHQZ	-	20	ns
CE#高, OE#高或地址转换到输出转换	'OH	-	0	-	ns
OE#高到输出高阻	'DF	'GHQZ	-	15	ns

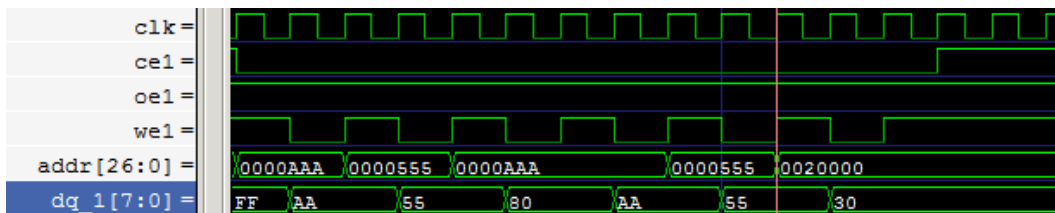


图 5 Chipscope 抓取的块擦除命令时序图 (8 bit 模式)
Fig. 5 Block erase command timing diagram grabbed by Chipscope(8 bit mode)

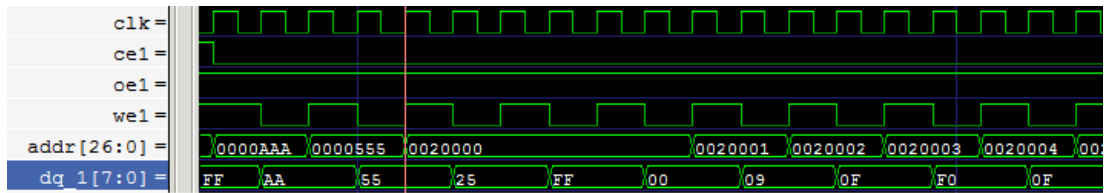


图6 Chipscope 抓取的写时序图(8 bit 模式)

Fig. 6 Program timing diagram grabbed by Chipscope(8 bit mode)

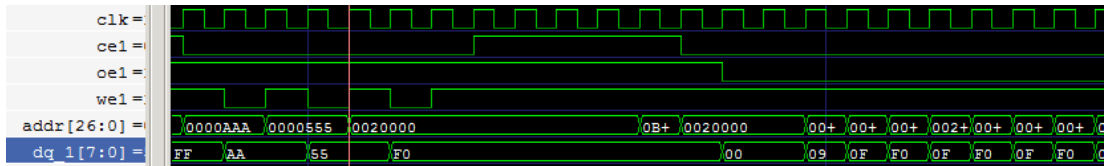


图7 Chipscope 抓取的按页读时序图(8 bit 模式)

Fig. 7 Page read timing diagram grabbed by Chipscope(8 bit mode)

5 结束语

本文提出的 FPGA 在轨可重构方法可以实现以下功能：① 通过地面上注指令，实现卫星在轨功能切换；② 通过地面上注指令和配置数据，实现卫星在轨功能更新；③ 定时检测星载信号处理 FPGA，若工作异常，重新配置信号处理 FPGA；④ 定时回读 FAR 寄存器和 STAT 寄存器的值，与校验值比对，若连续不一致次数达到阈值，则判定为单粒子功能中断，配置 FPGA 重新配置信号处理 FPGA。提出的 FPGA 在轨可重构方法使得在不改变硬件平台的情况下可以实现多种功能，节省了研发成本，缩短了研发周期，同时，能够在星载设备工作异常时对其进行重新配置，提高了星载设备的可靠性。

参考文献

- [1] 谢达, 宋林峰, 董宜平, 等. 基于聚类分区算法的 FPGA 高效动态部分可重构设计法[J]. 电子与封装, 2018, 18(9): 8-14.
XIE Da, SONG Linfeng, DONG Yiping, et al. High efficiency dynamic partial reconfigurable design method of FPGA based on cluster partition algorithm[J]. Electronics & Packaging, 2018, 18(9): 8-14.
- [2] 王今雨, 伍卫国, 秦朝楠, 等. UPRFloor: 一种动态可重构 FPGA 建模方法与布局策略[J]. 电子学报, 2018, 46(12): 2862-2869.
WANG Jinyu, WU Weiguo, QIN Chaonan, et al. UPRFloor: A dynamic reconfigurable FPGA modeling method and layout strategy[J]. Acta Electronica Sinica, 2018, 46(12): 2862-2869.
- [3] 李昆吉. FPGA 动态可重构技术及其应用研究[D]. 哈尔滨: 哈尔滨工业大学, 2012.
LI Kunji. Research on dynamically reconfigurable technology and its application based on FPGA[D]. Harbin: Harbin Institute of Technology, 2012.
- [4] 史江博, 郝鑫. 基于 FPGA 的小卫星通信系统在轨可重构技术研究[J]. 遥测遥控, 2017, 38(6): 40-43.
SHI Jiangbo, HAO Xin. Research on on-orbit reconfigurable technology for small satellite communication system based on FPGA[J]. Journal of Telemetry, Tracking and Command, 2017, 38(6): 40-43.
- [5] 陈其聪, 顾明剑. 基于星地链路的 FPGA 在轨可重构设计[J]. 红外, 2018, 39(7): 19-24.
CHEN Qicong, GU Mingjian. Implement of FPGA in-orbit reconfiguration based on satellite to ground link[J]. Infrared, 2018, 39(7): 19-24.
- [6] 徐健, 李贺, 龚东磊, 等. 基于 FPGA 的动态部分可重构智能 I/O 接口设计与实现[J]. 计算机工程, 2016, 42(6): 14-20.
XU Jian, LI He, GONG Donglei, et al. Design and implementation of dynamic partial reconfiguration intelligent I/O interface based on FPGA[J]. Computer Engineering, 2016, 42(6): 14-20.
- [7] 李晓亮, 罗磊, 孙毅, 等. 星载 Flash 型 FPGA 单粒子翻转加固试验研究[J]. 太赫兹科学与电子信息学报, 2018, 16(6): 1131-1134.
LI Xiaoliang, LUO Lei, SUN Yi, et al. Experimental study on SEU hardened effect for flash FPGA in satellite system[J].

- Journal of Terahertz Science and Electronic Information Technology, 2018, 16(6): 1131–1134.
- [8] 吴涛, 秦奋, 罗列峰, 等. 星载扩频应答机抗单粒子翻转的设计研究[J]. 数字技术与应用, 2015, (4): 140–141.
WU Tao, QIN Fen, LUO Liefeng, et al. Design and research on anti-single event upset of spaceborne spread spectrum transponder[J]. Digital Technology and Application, 2015, (4): 140–141.
- [9] 韦欣荣, 王金华, 王颖, 等. XQR2V3000 FPGA 单粒子翻转率在轨探测研究[J]. 宇航学报, 2019, 40(6): 719–724.
WEI Xinrong, WANG Jinhua, WANG Ying, et al. Research on detection of SEU rates of XQR2V3000 FPGA in orbit[J]. Journal of Astronautics, 2019, 40(6): 719–724.
- [10] 孙洪波, 韩学涛, 王玉涛, 等. SRAM 型 FPGA 单粒子翻转防护的工程实现[J]. 电子科学技术, 2015, 2(2): 144–149.
SUN Hongbo, HAN Xuetao, WANG Yutao, et al. Engineering realization of the anti-SEU techniques for the FGAs[J]. Electronic Science & Technology, 2015, 2(2): 144–149.
- [11] 袁素春, 璩泽旭, 邵应昭. 一种低成本高可靠 FPGA 在轨可重构加载管理方案[J]. 空间电子技术, 2017, 14(3): 92–96.
YUAN Suchun, QU Zexu, SHAO Yingzhao. A low cost and high reliability FPGA on orbit reconfigurable load management scheme[J]. Space Electronic Technology, 2017, 14(3): 92–96.
- [12] 齐刘宇, 刘国栋, 赵正阳. 一种 SRAM 型 FPGA 单粒子效应加固平台设计[J]. 电子技术应用, 2019, 45(5): 78–81.
QI Liuyu, LIU Guodong, ZHAO Zhengyang. A platform design of single event effect mitigation for SRAM-based FPGA[J]. Application of Electronic Technique, 2019, 45(5): 78–81.
- [13] 王佳丽. 基于空间成像应用的 SRAM 型 FPGA 抗单粒子翻转技术研究[D]. 西安: 中国科学院西安光学精密机械研究所, 2018.
WANG Jiali. Research on single event upset mitigation techniques for SRAM-based FPGA in space imaging system[D]. Xi'an: Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, 2018.

[作者简介]

张秀宁 1984 年生, 博士, 工程师, 主要研究方向为卫星有效载荷技术。

刘斌 1978 年生, 博士, 研究员, 主要研究方向为卫星有效载荷技术。

李澎 1985 年生, 硕士, 高级工程师, 主要研究方向为卫星有效载荷技术。

史江博 1988 年生, 硕士, 工程师, 主要研究方向为卫星有效载荷技术。

(本文编辑: 杨秀丽)